

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2002 年 11 月 7 日 (07.11.2002)

PCT

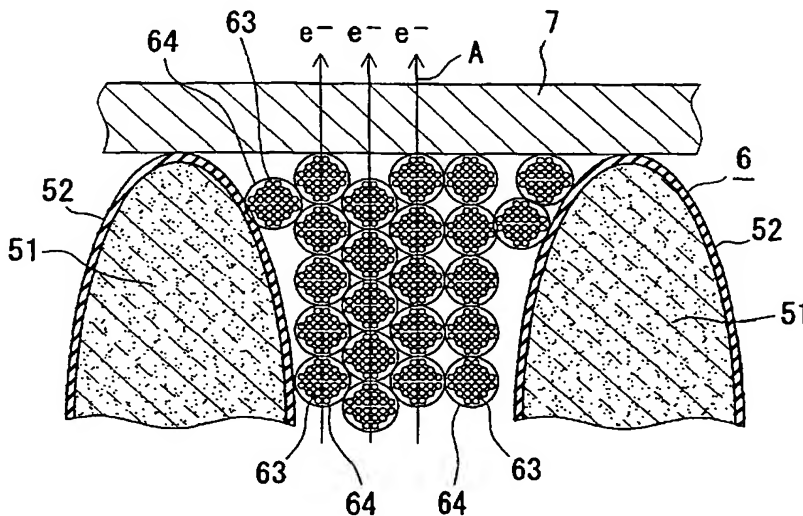
(10) 国際公開番号  
WO 02/089166 A1

- (51) 国際特許分類: H01J 1/312, 9/02 [JP/JP]; 〒571-8686 大阪府 門真市 大字門真 1 0 4 8 番地 Osaka (JP).
- (21) 国際出願番号: PCT/JP02/04054
- (22) 国際出願日: 2002 年 4 月 24 日 (24.04.2002)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2001-125156 2001 年 4 月 24 日 (24.04.2001) JP  
特願2001-125157 2001 年 4 月 24 日 (24.04.2001) JP  
特願2001-159625 2001 年 5 月 28 日 (28.05.2001) JP  
特願2001-329908 2001 年 10 月 26 日 (26.10.2001) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電工株式会社 (MATSUSHITA ELECTRIC WORKS, LTD.)
- (72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 菰田 卓哉 (KOMODA, Takuya) [JP/JP]; 〒571-8686 大阪府 門真市 大字門真 1 0 4 8 番地 松下電工株式会社内 Osaka (JP). 相澤 浩一 (AIZAWA, Koichi) [JP/JP]; 〒571-8686 大阪府 門真市 大字門真 1 0 4 8 番地 松下電工株式会社内 Osaka (JP). 本多 由明 (HONDA, Yoshiaki) [JP/JP]; 〒571-8686 大阪府 門真市 大字門真 1 0 4 8 番地 松下電工株式会社内 Osaka (JP). 樺原 勉 (ICHIHARA, Tsutomu) [JP/JP]; 〒571-8686 大阪府 門真市 大字門真 1 0 4 8 番地 松下電工株式会社内 Osaka (JP). 渡部 祥文 (WATABE, Yoshifumi) [JP/JP]; 〒571-8686 大阪府 門真市 大字門真 1 0 4 8 番地 松下電工株式会社内 Osaka (JP). 幡井 崇 (HATAI, Takashi) [JP/JP]; 〒571-8686 大阪府 門真市 大字門真 1 0 4 8 番地 松下電工株式会社内 Osaka

[続葉有]

(54) Title: FIELD EMISSION ELECTRON SOURCE AND PRODUCTION METHOD THEREOF

(54) 発明の名称: 電界放射型電子源及びその製造方法



(57) Abstract: In a field emission electron source (10), a strong field drift layer (6) and a surface electrode (7) composed of a thin metal film are arranged on an n-type silicon substrate (1). On the back surface of the n-type silicon substrate (1), an ohmic electrode (2) is arranged. DC voltage is applied so that the surface electrode (7) has a positive potential with respect to the ohmic electrode (2). Thus, electrons injected from the ohmic electrode (2) via the n-type silicon substrate (1) to the strong field drift layer (6) drift in the strong field drift layer (6) and are emitted outside via the surface electrode (7). The strong field drift layer (6) includes a plenty of fine semiconductor crystals (63) of nanometer order formed in a part of the semiconductor layer constituting the strong field drift layer (6) and a plenty of insulation films (64) formed on the surface of the fine semiconductor crystals (63) and having a film thickness generating the electron tunneling phenomenon.

[続葉有]

WO 02/089166 A1



(JP). 馬場 徹 (BABA, Toru) [JP/JP]; 〒571-8686 大阪府門真市 大字門真 1 0 4 8 番地 松下電工株式会社内 Osaka (JP). 竹川 宜志 (TAKEGAWA, Yoshiyuki) [JP/JP]; 〒571-8686 大阪府門真市 大字門真 1 0 4 8 番地 松下電工株式会社内 Osaka (JP).

(74) 代理人: 青山 葆, 外 (AOYAMA, Tamotsu et al.); 〒540-0001 大阪府 大阪市中央区 城見 1 丁目 3 番 7 号 IMP ビル 青山特許事務所 Osaka (JP).

(81) 指定国 (国内): CN, KR, SG, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, IT, NL, SE).

添付公開書類:  
— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

---

(57) 要約:

電界放射型電子源 (10) においては、n 型シリコン基板 (1) の上に、強電界ドリフト層 (6) と、金薄膜からなる表面電極 (7) とが設けられている。n 型シリコン基板 (1) の裏面には、オーミック電極 (2) が設けられている。そして、表面電極 (7) がオーミック電極 (2) に対して正電位となるように直流電圧が印加される。これにより、オーミック電極 (2) から n 型シリコン基板 (1) を介して強電界ドリフト層 (6) に注入された電子が、強電界ドリフト層 (6) 内をドリフトし、表面電極 (7) を介して外部に放出される。強電界ドリフト層 (6) は、該強電界ドリフト層 (6) を構成する半導体層の一部に形成されたナノメータオーダの多数の半導体微結晶 (63) と、各半導体微結晶 (63) の表面に形成され電子のトンネリング現象が発生する膜厚を有する多数の絶縁膜 (64) とを有している。

## 明 細 書

## 電界放射型電子源及びその製造方法

## 5 技術分野

本発明は、半導体材料を用いて電界放射により電子線を放射するようにした電界放射型電子源及びその製造方法に関するものであり、さらには電界放射型電子源の製造に際して半導体結晶の表面に絶縁薄膜を形成するための方法及び装置に関するものである。

10

## 背景技術

従来、電界放射型電子源（以下、略して「電子源」という。）としては、例えば米国特許 3,665,241 号公報などに開示されているスピント（Spindt）型電極が知られている。スピント型電極は、微小な三角錐状のエミッタチップを多数配置した基板と、エミッタチップの先端部を露出させる放射孔を有する一方エミッタチップに対して絶縁されたゲート層とを備えている。そして、スピント型電極は、真空中で、エミッタチップがゲート層に対して負極となるように高電圧を印加することにより、エミッタチップの先端から、放射孔を通して電子線を放射する。

20

しかし、スピント型電極は、製造プロセスが複雑であり、また多数の三角錐状のエミッタチップを精度良く製作するのが難しい。このため、例えば平面発光装置やディスプレイなどにこれを応用する場合、大面積化が難しいという問題がある。また、スピント型電極では、電界がエミッタチップの先端に集中するので、エミッタチップ先端周りの真空度が低くて残留ガスが存在する場合、放射された電子によって残留ガスがプラスイオンにイオン化される。このプラスイオンはエミッタチップの先端に衝突するので、エミッタチップの先端がダメージ（例えば、イオン衝撃による損傷）を受ける。このため、放射される電子の電流密度や放出効率などが不安定になったり、エミッタチップの寿命が短くなるといった不具合が生じる。したがって、このような不具合を防止するため、スピント型電極は高

25

真空（約 $10^{-5}$ Pa～約 $10^{-6}$ Pa）で使用する必要がある。その結果、コストが高くなり、取扱いが面倒であるといった問題がある。

このような不具合を改善するため、MIM (Metal Insulator Metal)型やMOS (Metal Oxide Semiconductor)型の電子源が提案されている。前者は、金属—絶縁膜—金属の積層構造を有する平面型の電子源であり、後者は、金属—酸化膜—半導体の積層構造を有する平面型の電子源である。この種の電子源において、電子の放出効率を高めるには（すなわち、多くの電子を放射させるには）、絶縁膜や酸化膜の膜厚を薄くする必要がある。しかし、絶縁膜や酸化膜の膜厚を薄くしすぎると、積層構造の上下の電極間に電圧を印加したときに、絶縁破壊を起こすおそれがある。このような絶縁破壊を防止しなければならないので、絶縁膜や酸化膜の膜厚の薄膜化には限度がある。このため、電子の放出効率（引き出し効率）をさほど高くすることができないといった問題がある。

そこで、近年、例えば特開平8-250766号公報に開示されているように、半導体基板と表面電極との間に電圧を印加して電子を放射させるようにした、電子の放出効率の高い電子源（半導体冷電子放出素子）が提案されている。この電子源では、シリコン基板などの単結晶の半導体基板の一表面を陽極酸化することにより、多孔質半導体層（ポーラスシリコン層）を形成している。そして、この多孔質半導体層上に、金属薄膜（導電性薄膜）からなる表面電極を形成している。

しかし、特開平8-250766号公報に開示された電子源では、電子放出時にポッピング現象が生じやすく、かつ電子の放出量にむらが生じやすい。このため、これを平面発光装置やディスプレイ装置などに応用すると、発光むらができるといった問題がある。

このような問題を解決するため、本願発明者らは、例えば特願平10-272340号、特願平10-272342号等において、導電性基板と金属薄膜（表面電極）との間に、導電性基板から注入された電子がドリフトする強電界ドリフト層（以下、略して「ドリフト層」という。）が介設された電子源を提案している。このドリフト層は、酸化された多孔質多結晶シリコン層で構成されている。

例えば、図38に示すように、この種の電子源10'では、導電性基板であるn形シリコン基板1の主表面側に、酸化された多孔質多結晶シリコン層（多孔質



化された多結晶シリコン層) からなるドリフト層 6 が形成されている。ドリフト層 6 上には、金属薄膜 (例えば、金薄膜) からなる表面電極 7 が形成されている。また、n 形シリコン基板 1 の裏面にはオーミック電極 2 が形成されている。n 形シリコン基板 1 とオーミック電極 2 とで下部電極 1 2 (導電性基板) を構成している。なお、図 3 8 に示す例では、下部電極 1 2 とドリフト層 6 との間にノンドープの多結晶シリコン層 3 が介設されているが、直接、下部電極 1 2 上にドリフト層 6 を形成した電子源も提案されている。

そして、表面電極 7 に対向して、例えば透明導電膜 (例えば、ITO 膜) からなるコレクタ電極 2 1 が配置される。電子源 1 0' から電子を放出させるには、表面電極 7 とコレクタ電極 2 1 との間を真空にした状態で、表面電極 7 が下部電極 1 2 に対して高電位となるように、表面電極 7 と下部電極 1 2 との間に直流電圧  $V_{ps}$  を印加し、かつコレクタ電極 2 1 が表面電極 7 に対して高電位となるように、コレクタ電極 2 1 と表面電極 7 との間に直流電圧  $V_c$  を印加する。各直流電圧  $V_{ps}$ 、 $V_c$  を適切に設定すれば、下部電極 1 2 から注入された電子が、ドリフト層 6 をドリフトし、表面電極 7 を介して放出される (図 3 8 中の一点鎖線は表面電極 7 を通って放出された電子  $e^-$  の流れを示す)。なお、表面電極 7 の厚さは、3 ~ 15 nm 程度に設定される。

ドリフト層 6 は、下部電極 1 2 上にノンドープの多結晶シリコン層を形成した後、該多結晶シリコン層を陽極酸化処理で多孔質化することにより多孔質多結晶シリコン層を形成し、この多孔質多結晶シリコン層を急速熱酸化法によって、例えば 900 °C で急速熱酸化することにより形成される。

図 3 9 に示すように、ドリフト層 6 は、少なくとも、柱状の多結晶シリコンのグレイン 5 1 と、薄い絶縁膜 5 2 と、多数のナノメートルオーダーのシリコン微結晶 6 3 と、多数の絶縁膜 6 4 とで構成されている。グレイン 5 1 は、n 形シリコン基板 1 の主表面側 (つまり、下部電極 1 2 における表面電極 7 側) に列設されている。絶縁膜 5 2 は、グレイン 5 1 の表面に形成されている。シリコン微結晶 6 3 は、グレイン 5 1 間に介在している。絶縁膜 6 4 は、各シリコン微結晶 6 3 の表面に形成され、シリコン微結晶 6 3 の結晶粒径よりも小さな膜厚を有している。要するに、ドリフト層 6 においては、多結晶シリコン層の各グレイン 5 1 の表面

が多孔質化し、各グレイン 5 1 の中心部分では結晶状態が維持されている。なお、各グレイン 5 1 は、下部電極 1 2 の厚み方向に延びている。また、各絶縁膜 5 2、6 4 はシリコン酸化膜で構成されている。

電子源 1 0' では、次のようなモデルで電子放出が起こると考えられる。すな  
5 わち、電子放出時には、表面電極 7 と下部電極 1 2 との間に、表面電極 7 を高電位とする直流電圧  $V_{ps}$  が印加されるとともに、コレクタ電極 2 1 と表面電極 7 との間に、コレクタ電極 2 1 を高電位とする直流電圧  $V_c$  が印加される。直流電圧  $V_{ps}$  が所定値（臨界値）に達すると、下部電極 1 2 からドリフト層 6 に、熱的励起により電子  $e^-$  が注入される。他方、ドリフト層 6 に印加された電界の大部分  
10 は絶縁膜 6 4 にかかる。このため、注入された電子  $e^-$  は絶縁膜 6 4 にかかっている強電界により加速される。そして、電子  $e^-$  は、ドリフト層 6 内でグレイン 5 1 の間の領域を表面に向かって、図 3 9 中の矢印 A の向きにドリフトし、表面電極 7 をトンネルし、真空中に放出される。

かくして、ドリフト層 6 では、下部電極 1 2 から注入された電子がシリコン微  
15 結晶 6 3 でほとんど散乱されることなく、絶縁膜 6 4 にかかっている電界で加速されてドリフトする。そして、電子は、表面電極 7 を介して放出される（弾道型電子放出現象）。このとき、ドリフト層 6 で発生した熱は、グレイン 5 1 を介して放熱される。このため、電子放出時にポッピング現象が発生せず、安定して電子を放出することができる。なお、ドリフト層 6 の表面に到達した電子は、ホッ  
20 トエレクトロンであると考えられる。電子は、表面電極 7 を容易にトンネルし、真空中に放出される。

ところで、電子源 1 0' では、n 形シリコン基板 1 とオーミック電極 2 とで下部電極 1 2 を構成している。しかし、図 4 0 に示すように、例えばガラス基板からなる絶縁性基板 1 1 の一表面上に、金属材料からなる下部電極 1 2 を形成した  
25 電子源 1 0'' も提案されている。なお、図 4 0 において、図 3 8 に示す電子源 1 0' と共通する構成要素には、同一の符号を付してその説明を省略する。図 4 0 に示す電子源 1 0'' においても、図 3 8 に示す電子源 1 0' の場合と同様のプロセスで、電子を放出させることができる。

電子源 1 0'、1 0'' では、通常、表面電極 7 と下部電極 1 2 との間を流れる

電流はダイオード電流  $I_{ps}$  と呼ばれ、コレクタ電極 21 と表面電極 7 との間を流れる電流はエミッション電流（放出電子電流）  $I_e$  と呼ばれる。ここで、ダイオード電流  $I_{ps}$  に対するエミッション電流  $I_e$  の比率（ $I_e / I_{ps}$ ）が大きいほど、電子放出効率（ $(I_e / I_{ps}) \times 100$  [%]）が高くなる。電子源 10'、

5 10" では、表面電極 7 と下部電極 12 との間に印加する直流電圧  $V_{ps}$  を 10 ～ 20 V 程度の低電圧としても、電子を放出させることができる。また、直流電圧  $V_{ps}$  が大きいほど、エミッション電流  $I_e$  が大きくなる。

ところで、電子源 10'、10" の製造プロセスにおいて、ドリフト層 6 を形成する工程は、成膜工程と、陽極酸化処理工程と、酸化工程とからなる。成膜工程では、下部電極 12 の一表面側に半導体層として、ノンドーパの多結晶シリコン層を形成する。陽極酸化処理工程では、多結晶シリコン層を陽極酸化処理で多孔質化することにより、多結晶シリコンのグレイン 51 及びシリコン微結晶 63 を含む多孔質多結晶シリコン層を形成する。なお、陽極酸化処理工程では、陽極酸化に用いる電解液としてフッ化水素水溶液とエタノールとを略 1 : 1 で混合した混合液を用いる。酸化工程では、多孔質多結晶シリコン層を高温プロセスである急速熱酸化法によって急速熱酸化し、グレイン 51 及びシリコン微結晶 63 の表面に、それぞれ薄い絶縁膜（シリコン酸化膜） 52、64 を形成する。

10 15

また、図 41 に示すように、酸化工程では、例えばランプアニール装置を用い、基板温度を乾燥酸素中で室温から所定の熱処理温度（例えば、900℃）まで短時間で上昇させる。そして、基板温度をこの熱処理温度で所定の熱処理時間（例えば、1 時間）だけ保持することにより、多孔質多結晶シリコン層を酸化する。この後、基板温度を室温まで下降させる。

20

なお、ドリフト層 6 を、酸化した多孔質多結晶シリコン層ではなく、窒化した多孔質多結晶シリコン層で形成した電子源も提案されている。さらに、酸化又は窒化した多孔質単結晶シリコン層で形成した電子源も提案されている。

25

このようなドリフト層を備えた従来の電子源では、大面積化及び低コスト化が可能となる。なお、この種の電子源をディスプレイの電子源として応用する場合は、表面電極、下部電極（導電性基板）などを適宜にパターンニングすればよい。しかし、かかる従来の電子源では、次のような問題がある。

## (問題 1)

従来のこの種の電子源では、製造したロット間での電子放出効率、絶縁耐圧、寿命などの特性のばらつきが大きくなるといった問題がある。なお、その原因を詳細に考察した結果、これらのばらつきは、絶縁膜であるシリコン酸化膜の厚さ

5 のばらつきに起因することが判明した。

## (問題 2)

前記のとおり、酸化工程では、急速熱酸化法が用いられる。しかし、全てのグレイン 5 1 及びシリコン微結晶 6 3 の表面に良好な膜質のシリコン酸化膜 5 2、6 4 を形成するため、硫酸、硝酸などの水溶液からなる電解液（電解質溶液）中

10 で、多孔質多結晶シリコン層を電気化学的酸化法により酸化するといった酸化工程も用いることができる。

電気化学的酸化法を用いれば、急速熱酸化法を用いる場合に比べて、プロセス温度を低温化することができる。このため、基板の材料に対する制約が少なくなり、ガラス基板を用いる場合、石英ガラス基板に比べて耐熱温度が低くて安価な

15 無アルカリガラス基板や低アルカリガラス基板などを用いることができる。したがって、電子源 10'、10" の大面積化及び低コスト化を、より有効に図ることができるといった利点もある。

しかし、多孔質多結晶シリコン層を電気化学的酸化法で酸化して製造した従来の電子源には、急速熱酸化法で酸化して製造したものに比べて、絶縁耐圧が低い

20 といった問題がある。これは、電気化学的酸化法で形成された  $\text{SiO}_2$  膜は、急速熱酸化法により形成された  $\text{SiO}_2$  膜に比べて、水分や歪が多いからであると考えられる。なお、多孔質多結晶シリコン層を急速熱酸化法で酸化して製造した電子源 10'、10" でも、電子放出効率、絶縁耐圧、寿命のさらなる向上が望まれている。しかし、ドリフト層 6 に関して種々の分析評価（例えば、フォトルミネッセンス測定、断面 TEM 観察、XPS による組成分析など）を行った結果、

25 次の知見が得られた。すなわち、ドリフト層 6 の表面に近づくほどシリコン酸化膜 6 4 の膜厚が大きくなり、シリコン微結晶 6 3 が破壊され、ドリフト層 6 の表面近傍にはシリコン微結晶 6 3 が存在しない。このため、従来の電子源 10'、10" では、ドリフト層 6 に注入された電子の一部が、電子のトンネリング現象

が発生する膜厚（電子の平均自由行程程度）よりも厚いシリコン酸化膜 64 で散乱されたり捕獲されたりするおそれがある。この場合、電子放出効率が低下したり、絶縁耐圧及び寿命が低下するおそれがある。

（問題 3）

- 5 陽極酸化処理では、電解液として、フッ化水素水溶液とエタノールとの混合液が利用される。このため、図 42 に示すように、陽極酸化処理により形成された多孔質多結晶シリコン層は、最上表面が水素原子によって終端される。さらに、多孔質多結晶シリコン層の表面には、水分が吸着していると考えられる。

- 10 陽極酸化処理により形成された多孔質多結晶シリコン層を、図 41 に示すような温度プロファイルで酸化させると、図 43 に示すように、水素原子が残ったり、 $\text{Si}-\text{OH}$  の結合が生じたりする。このため、 $\text{SiO}_2$  からなる構造の緻密な酸化膜にはなりにくく、絶縁耐圧が低くなるといった問題がある。さらに、水素原子以外にフッ素原子もドリフト層 6 中に残るといった問題がある。また、ドリフト層 6 中の水素の含有量が比較的多くなる。このため、ドリフト層 6 中の水素の分布が経時変化し（例えば、水素原子がドリフト層 6 の表面から脱離し）、電子放出効率の経時安定性が悪くなるおそれがある。
- 15

（問題 4）

- 電子源 10” における絶縁性基板 11 として石英ガラス基板に比べて比較的安価なガラス基板（例えば、無アルカリガラス基板、低アルカリガラス基板、ソーダライムガラス基板など）を用いれば、絶縁性基板 11 の耐熱温度は低下するものの、低コスト化を図ることができる。そこで、多結晶シリコン層の形成温度を低くする（例えば、600℃以下にする）といったことが考えられる。
- 20

- しかし、多結晶シリコン層を比較的低温で形成した場合、比較的高温で形成した多結晶シリコン層に比べて、多結晶シリコン層の結晶性が悪くなり、欠陥も多くなる。その結果、ドリフト層 6 中に含まれる欠陥が増加し、電子放出特性が悪化するとともに、信頼性が低下するといった問題がある。例えば、ドリフト層 6 における各シリコン酸化膜 52、64 中に欠陥が存在すると、各シリコン酸化膜 52、64 の絶縁耐圧が低くなり、電子源の絶縁耐圧が低くなる。あるいは、電子の散乱のために、電子放出効率が低下する。
- 25

## (問題 5)

従来の電子源 10'、10'' では、長時間連続して駆動した場合、ダイオード電流  $I_{ps}$  が経時的に減少し、それに伴ってエミッション電流  $I_e$  も減少するといった問題がある。その原因としては、絶縁膜 64 中のトラップに電子が捕獲され、絶縁膜 64 にかかる電界が緩和され、電子のトンネル確率が低下するといったことが考えられる。

さらに、上述の製造方法では、酸化工程において、比較的高い熱処理温度（例えば、900℃）と比較的長い熱処理時間（例えば、1時間）とを必要とするプロセスを採用している。このため、プロセス時間が長くなるといった問題がある。さらに、絶縁性基板 11 として、石英ガラス基板に比べて比較的安価である、耐熱温度の低い無アルカリガラス基板や低アルカリガラス基板を用いることができないといった問題がある。

## (問題 6)

従来の電子源 10'、10'' では、電子を安定して高効率で放出することができものの、電子放出効率などの電子放出特性や絶縁耐圧などの信頼性のより一層の向上が望まれている。しかし、電子源 10'、10'' では、ドリフト層 6 中に製造プロセスに起因した欠陥が存在するものと考えられる。そして、例えば、シリコン微結晶 63、シリコン酸化膜 52、64 などに欠陥が存在する場合、電子散乱による電子放出効率の低下、絶縁耐圧の低下などが引き起こされるといった問題がある。

## 発明の開示

本発明は、上記従来の問題を解決するためになされたものであって、フラットパネルディスプレイ素子、平面光源、固体真空デバイス等に用いることができ、好適な電界放射により電子線を放射することができる高効率で信頼性の高い電子源及びその製造方法を提供することを、1つの目的とする。

本発明は、絶縁耐圧及び寿命の設計が容易な電子源及びその製造方法を提供することを、もう1つの目的とする。

本発明は、従来に比べて絶縁耐圧の高い絶縁薄膜を形成することができる絶縁

薄膜の形成方法又は形成装置を提供すること、あるいは従来に比べて長寿命化が可能な電子源を提供することを、さらなる目的とする。

本発明は、低コスト化を図ることができ、電子放出効率等の電子放出特性及び信頼性を向上させることができる電子源の製造方法を提供することを、さらなる目的とする。

本発明にかかる電子源（電界放射型電子源）は、導電性基板と、導電性基板上に形成されたドリフト層（強電界ドリフト層）と、ドリフト層上に形成された表面電極とを備えている。ドリフト層は、該ドリフト層を構成する半導体層の一部に形成されたナノメータオーダの多数の半導体微結晶を有するとともに、各半導体微結晶の表面に形成され半導体微結晶の結晶粒径より小さい膜厚を有する多数の絶縁膜を有している。ここで、各半導体微結晶の表面に形成された絶縁膜は、電界を印加した場合、電子のトンネリング現象が発生する膜厚（電子の平均自由行程程度）を有する。かくして、表面電極と導電性基板との間に、表面電極が高電位となるように電圧を印加することにより、導電性基板からドリフト層に注入された電子が、ドリフト層内をドリフトし、表面電極を介して放出される。

この電子源では、各絶縁膜での電子の散乱を少なくすることができ、かつドリフト層中での絶縁膜の厚さのばらつきを小さくすることができる。これにより、電子源における絶縁耐圧及び寿命の設計が容易になる。

この電子源では、各半導体微結晶の表面に形成された絶縁膜に含まれる水分が、実質的に0である（実質的に水分を含まない）のが好ましい。この場合、電子源の電気的特性に悪影響を与える欠陥や歪などが緩和されるので、絶縁耐圧が高く長寿命の絶縁膜を形成することができる。

この電子源では、ドリフト層を構成する半導体層と、導電性基板との界面に、半導体と金属とからなる化合物層又は合金層が介在するのが好ましい。また、ドリフト層を構成する半導体層と、導電性基板との界面で、半導体層がほぼ結晶化されているのも好ましい。これらの場合、半導体層と導電性基板間のバリア層や高抵抗層が低減できるので、電子放出効率及び信頼性が向上する。

本発明にかかる電子源の製造方法は、本発明にかかる上記電子源を製造するための方法である。この電子源の製造方法は、半導体微結晶表面への絶縁膜の形成

を、電気化学的な方法、急速熱酸化法、急速熱窒化法及び急速熱酸窒化法のいずれか1つにより、又はこれらの方法の組み合わせにより行う。この製造方法を用いることにより、絶縁膜の膜厚を、電子のトンネリング現象が発生する厚さ（電子の平均自由行程程度）にすることができる。

5       この電子源の製造方法においては、半導体微結晶表面への絶縁膜の形成後に、700℃以下の温度によるアニール処理を真空中、不活性ガス中、フォーミングガス中又は窒素ガス中で行うのが好ましい。この場合、各半導体微結晶の表面に形成された絶縁膜に含まれる水分を、実質的に0にすることができる。さらに、半導体層と導電性基板間のバリア層や高抵抗層が低減できるので、電子放出効率及び信頼性が向上する。

10       この電子源の製造方法においては、半導体微結晶表面への絶縁膜の形成後に、酸化種又は窒化種を含む雰囲気中において600℃以上の温度で急速加熱法による熱処理を行うのも好ましい。この場合、絶縁膜の膜厚を、より確実に、電子のトンネリング現象が発生する厚さにすることができる。さらに、半導体層と導電性基板間のバリア層や高抵抗層が低減できるので、電子放出効率及び信頼性が向上する。

15       この電子源の製造方法においては、半導体微結晶表面への絶縁膜の形成後に、不活性ガス雰囲気中において600℃以上の温度で急速加熱法によるアニール処理を行うのも好ましい。この場合、電子源の電気的特性に悪影響を与える欠陥や歪などを緩和することができ、絶縁耐圧が高く長寿命の絶縁膜を形成することができる。さらに、半導体層と導電性基板間のバリア層や高抵抗層が低減できるので、電子放出効率及び信頼性が向上する。

20       この電子源の製造方法においては、半導体微結晶の形成後に、真空中又は不活性ガス中でアニール処理を行うのも好ましい。この場合、陽極酸化処理の直後に多孔質半導体層に水分などが吸着した状態で多孔質半導体層を酸化した場合に比べて、ドリフト層に含まれる水素やフッ素などの不純物に起因した欠陥を低減することができる。これにより、緻密な酸化膜を形成することができ、電子放出効率の経時変化が少なく、絶縁耐圧が高く、信頼性の高い電子源を得ることができる。さらに、半導体層と導電性基板間のバリア層や高抵抗層が低減できるので、

25



電子放出効率及び信頼性が向上する。

この電子源の製造方法においては、導電性基板上に半導体層を形成した後に、真空中又は不活性ガス中でアニール処理を行うのも好ましい。この場合、半導体層と導電性基板との界面に、半導体と金属とからなる化合物層又は合金層を介在させることができ、あるいは半導体層と導電性基板との界面で、半導体層をほぼ結晶化させることができる。これにより、半導体層と導電性基板間のバリア層や高抵抗層が低減できるので、電子放出効率及び信頼性を向上させることができる。

なお、この電子源の製造方法においては、半導体微結晶表面への絶縁膜の形成後に、(a) 700℃以下の温度によるアニール処理を真空中、不活性ガス中、フォーミングガス中又は窒化ガス中で行う上記処理と、(b) 酸化種又は窒化種を含む雰囲気中において600℃以上の温度で急速加熱法による熱処理を行う上記処理と、(c) 不活性ガス雰囲気中において600℃以上の温度で急速加熱法によるアニール処理を行う上記処理のうちの少なくとも2つの処理を、それぞれ、1回又は複数回行うようにしてもよい(例えば、(a) → (b)、(a) → (c)、(a) → (b) → (b)、(a) → (b) → (c)、(a) → (c) → (b) 等々)。

この電子源の製造方法においては、半導体層を形成した後と、半導体微結晶を形成した後と、半導体微結晶表面に絶縁膜を形成した後のうちの少なくとも1つの時期に、水素中でのアニール処理、水素ラジカル照射処理又は水素ラジカル照射アニール処理を行うのが好ましい。この場合、導電性基板の一表面側の最上表面に、水素ラジカルが照射されるので、ドリフト層中に存在する欠陥をパッシベーション(不動態化)したり低減することができ、電子源の電子放出特性及び信頼性を向上させることができる。さらに、半導体層と導電性基板間のバリア層や高抵抗層が低減できるので、電子放出効率及び信頼性が向上する。

## 図面の簡単な説明

本発明は、後記の詳細な説明及び添付の図面により、より十分に理解されるであろう。なお、添付の図面において、共通する構成要素には同一の参照番号が付されている。

図 1 は、本発明の実施の形態 1 にかかる電子源の要部概略断面図である。

図 2 は、図 1 に示す電子源の動作を示す図である。

図 3 A～3 D は、図 1 に示す電子源又はその製造途上における中間体の概略断面図であり、該電子源の製造方法を示している。

5 図 4 は、図 1 に示す電子源及び比較例についての、フォトルミネッセンス測定による発光スペクトル図であり、フォトルミネッセンス強度の波長に対する特性を示している。

図 5 は、図 1 に示す電子源及び比較例についての、X線光電子分光分析法による構成元素の深さ方向の分布を示すグラフであり、原子濃度の深さに対する特性  
10 を示している。

図 6 A 及び図 6 B は、それぞれ、図 1 に示す電子源の電子放出原理を示す図である。

図 7 A 及び図 7 B は、それぞれ、比較例にかかる電子源の電子放出原理を示す図である。

15 図 8 A 及び図 8 B は、それぞれ、図 1 に示す電子源及び比較例にかかる電子源における酸化過程を示す図である。

図 9 は、図 1 に示す電子源及び比較例にかかる電子源における電子放出効率の経時変化を示すグラフである。

図 10 は、図 1 に示す電子源及び比較例にかかる電子源の電子放出特性を示す  
20 図である。

図 11 は、本発明の実施の形態 2 にかかる電子源の動作を示す図である。

図 12 A～12 D は、図 11 に示す電子源又はその製造途上における中間体の概略断面図であり、該電子源の製造方法を示している。

図 13 は、本発明の実施の形態 3 にかかる電子源の概略断面図である。

25 図 14 は、図 13 に示す電子源の動作を示す図である。

図 15 A～15 D は、図 13 に示す電子源又はその製造途上における中間体の概略断面図であり、該電子源の製造方法を示している。

図 16 は、本発明の実施の形態 3 にかかる電子源における絶縁薄膜の形成手法を示す図であり、熱処理温度の経時変化を示している。

図 1 7 は、図 1 3 に示す絶縁薄膜の形成に用いられる熱処理装置の概略構成図である。

図 1 8 は、昇温脱離ガス質量分析法の測定結果を示すグラフであり、イオン電流の加熱温度に対する変化特性を示している。

5 図 1 9 A ～ 1 9 G は、本発明の実施の形態 4 にかかる電子源又はその製造途上における中間体の概略断面図であり、該電子源の製造方法を示している。

図 2 0 は、アニール処理後における多孔質多結晶シリコン層の最上表面の終端形態を示す図である。

10 図 2 1 A ～ 2 1 F は、本発明の実施の形態 5 にかかる電子源又はその製造途上における中間体の概略断面図であり、該電子源の製造方法を示している。

図 2 2 A ～ 図 2 2 C は、それぞれ、アニール処理がない場合、500℃でアニール処理を行った場合及び550℃でアニール処理を行った場合における、電子源の電流密度の直流電圧  $V_{ps}$  に対する変化特性を示すグラフである。

図 2 3 は、本発明の実施の形態 6 にかかる電子源の概略断面図である。

15 図 2 4 は、図 2 3 に示す電子源の動作を示す図である。

図 2 5 A ～ 2 5 D は、本発明の実施の形態 6 にかかる電子源又はその製造途上における中間体の概略断面図であり、該電子源の製造方法を示している。

図 2 6 は、図 2 3 に示す電子源における電流密度の直流電圧  $V_{ps}$  に対する変化特性を示すグラフである。

20 図 2 7 は、図 2 3 に示す電子源における電流密度の時間に対する変化特性を示すグラフである。

図 2 8 は、比較例にかかる電子源における電流密度の直流電圧  $V_{ps}$  に対する変化特性を示すグラフである。

25 図 2 9 は、図 2 8 の場合と同一の比較例にかかる電子源における電流密度の時間に対する変化特性を示すグラフである。

図 3 0 は、もう 1 つの比較例にかかる電子源における電流密度の直流電圧  $V_{ps}$  に対する変化特性を示すグラフである。

図 3 1 は、図 3 0 の場合と同一の比較例にかかる電子源における電流密度の時間に対する変化特性を示すグラフである。

図 3 2 は、本発明の実施の形態 7 にかかる電子源における電流密度の直流電圧  $V_{ps}$  に対する変化特性を示すグラフである。

図 3 3 は、本発明の実施の形態 7 にかかる電子源における電流密度の時間に対する変化特性を示すグラフである。

5 図 3 4 は、本発明の実施の形態 1 0 にかかる電子源における電流密度の直流電圧  $V_{ps}$  に対する変化特性を示すグラフである。

図 3 5 は、本発明の実施の形態 1 0 にかかる電子源における電流密度の時間に対する変化特性を示すグラフである。

10 図 3 6 A ~ 3 6 F は、本発明の実施の形態 1 3 にかかる電子源又はその製造途上における中間体の概略断面図であり、該電子源の製造方法を示している。

図 3 7 は、本発明の実施の形態 1 3 にかかる電子源の製造方法における水素ラジカル照射工程での処理手法を示す図である。

図 3 8 は、従来の電子源の動作を示す図である。

図 3 9 は、従来の電子源の要部概略断面図である。

15 図 4 0 は、もう 1 つの従来の電子源の動作を示す図である。

図 4 1 は、急速加熱法における熱処理温度の経時変化を示すグラフである。

図 4 2 は、陽極酸化処理後における多孔質多結晶シリコン層の最上表面の終端形態を示す図である。

20 図 4 3 は、急速加熱処理後における多孔質多結晶シリコン層の最上表面の終端形態を示す図である。

#### 発明を実施するための最良の形態

25 本願は、日本国で出願された特願 2 0 0 1 - 1 2 5 1 5 6、特願 2 0 0 1 - 1 2 5 1 5 7、特願 2 0 0 1 - 1 5 9 6 2 5 号及び特願 2 0 0 1 - 3 2 9 9 0 8 に基づくものであり、その内容はここに全面的に組み込まれている。

以下、本発明のいくつかの実施の形態を具体的に説明する。ただし、各実施の形態に共通する部材、すなわち構成及び機能が実質的に同一である部材には共通の参照番号を付し、重複する説明は、原則として省略する。

(実施の形態 1)

以下、本発明の実施の形態 1 を説明する。実施の形態 1 では、導電性基板（下部電極）として、抵抗率が導体の抵抗率に比較的近い単結晶の n 形シリコン基板（例えば、抵抗率が略  $0.01 \Omega \text{ cm} \sim 0.02 \Omega \text{ cm}$  の（100）基板）を用いている。

図 2 に示すように、実施の形態 1 にかかる電子源 10（電界放射型電子源）においては、導電性基板である n 形シリコン基板 1 の主表面側に、酸化された多孔質多結晶シリコン層からなるドリフト層 6（強電界ドリフト層）が形成されている。ドリフト層 6 上には、表面電極 7 が形成されている。n 形シリコン基板 1 の裏面には、オーミック電極 2 が形成されている。実施の形態 1 では、n 形シリコン基板 1 が導電性基板を構成している。

表面電極 7 の材料には、仕事関数の小さな材料が用いられている。表面電極 7 の厚さは  $10 \text{ nm}$  に設定されている。しかし、厚さはこの値に限定されるものではなく、ドリフト層 6 を通ってきた電子がトンネルできる厚さであればよい。表面電極 7 の厚さは、 $3 \sim 15 \text{ nm}$  程度に設定すればよい。

表面電極 7 は、ドリフト層 6 上に形成された金属膜からなる第 1 薄膜層と、第 1 薄膜層上に積層された金属膜からなる第 2 薄膜層とで構成されている。ドリフト層 6 上の第 1 薄膜層の材料としては、例えば、クロム、ニッケル、白金、チタン、イリジウムなど、ドリフト層 6 との密着性が高く、第 2 薄膜層とドリフト層 6 との間での拡散を防止することができる材料を用いればよい。第 2 薄膜層の材料としては、抵抗が低く経時安定性の高い金などを用いればよい。なお、実施の形態 1 では、第 1 薄膜層の材料としてクロム（Cr）が用いられている。第 1 薄膜層の膜厚は  $2 \text{ nm}$  に設定されている。第 2 薄膜層の材料としては金（Au）が用いられている。第 2 薄膜層の膜厚は  $8 \text{ nm}$  に設定されている。実施の形態 1 では、表面電極 7 を 2 層の金属膜で構成しているが、これに代えて、1 層又は 3 層以上の金属膜で構成してもよい。

電子源 10 では、表面電極 7 は真空中に配置され、表面電極 7 に対向してコレクタ電極 21 が配置される。そして、表面電極 7 が n 形シリコン基板 1（オーミック電極 2）に対して正極となるように直流電圧  $V_{ps}$  が印加されるとともに、コレクタ電極 21 が表面電極 7 に対して正極となるように直流電圧  $V_c$  が印加され

る。これにより、n形シリコン基板1から注入された電子が、ドリフト層6をドリフトして表面電極7を介して放出される（図2中の一点鎖線は、表面電極7を

通って放出された電子 $e^-$ の流れを示す。）。表面電極7とn形シリコン基板1（オーミック電極2）との間を流れるダイオード電流 $I_{ps}$ に対する、コレクタ電極21と表面電極7との間を流れるエミッション電流（放出電子電流） $I_e$ の比率（ $I_e/I_{ps}$ ）が大きいほど、電子放出効率が高くなる。

図1に示すように、実施の形態1にかかるドリフト層6は、少なくとも、柱状の多結晶シリコンのグレイン51と、グレイン51の表面に形成された薄いシリコン酸化膜52と、グレイン51間に介在する多数のナノメータオーダのシリコン微結晶63と、各シリコン微結晶63の表面に形成され該シリコン微結晶63の結晶粒径よりも小さな膜厚の絶縁膜である多数のシリコン酸化膜64とで構成されている。要するに、ドリフト層6では、各グレイン51の表面が多孔質化し、各グレインの中心部分では結晶状態が維持されている。ここで、シリコン微結晶63の表面に形成されたシリコン酸化膜64の厚さは、電子のトンネリング現象が発生する膜厚（電子の平均自由行程程度： $SiO_2$ 中の電子の平均自由行程は約3nmである）程度、例えば1～3nm程度に設定するのが望ましい。

実施の形態1にかかる電子源10では、次のようなモデルで電子放出が起こるものと考えられる。すなわち、表面電極7を真空中に配置する。そして、表面電極7とn形シリコン基板1（オーミック電極2）との間に、表面電極7を正極として直流電圧 $V_{ps}$ を印加するとともに、コレクタ電極21と表面電極7との間に、コレクタ電極21を正極として直流電圧 $V_c$ を印加する。直流電圧 $V_{ps}$ が所定値（臨界値）に達すると、導電性基板としてのn形シリコン基板1からドリフト層6へ、熱的励起により電子 $e^-$ が注入される。他方、ドリフト層6に印加された電界の大部分は、シリコン酸化膜64にかかる。このため、注入された電子 $e^-$ は、シリコン酸化膜64にかかっている強電界により加速される。そして、電子は、ドリフト層6内でグレイン51の間の領域を表面に向かって図1中の矢印Aの向きにドリフトし、表面電極7をトンネルして真空中に放出される。かくして、ドリフト層6では、n形シリコン基板1から注入された電子が、シリコン微結晶63でほとんど散乱されることなく、シリコン酸化膜64にかかっている強電界

で加速されてドリフトし、表面電極 7 を介して放出される（弾道型電子放出現象）。ドリフト層 6 で発生した熱は、グレイン 5 1 を介して放出される。このため、電子放出時にポッピング現象が発生せず、安定して電子を放出することができる。ドリフト層 6 の表面に到達した電子はホットエレクトロンであると考えられ、表面電極 7 を容易にトンネルして真空中に放出される。

以下、図 3 A～図 3 D を参照しつつ、実施の形態 1 にかかる電子源 1 0 の製造方法を説明する。

まず、n 形シリコン基板 1 の裏面にオーミック電極 2 を形成した後、n 形シリコン基板 1 の主表面上に半導体層としてノンドープの多結晶シリコン層 3 を形成し、図 3 A に示す構造を得る。多結晶シリコン層 3 の成膜方法としては、例えば、CVD 法（例えば、LPCVD 法、プラズマ CVD 法、触媒 CVD 法など）やスパッタ法や CGS (Continuous Grain Silicon) 法などを用いればよい。

ノンドープの多結晶シリコン層 3 を形成した後、陽極酸化処理工程で多結晶シリコン層 3 を多孔質化することにより、多孔質半導体層である多孔質多結晶シリコン層 4 を形成し、図 3 B に示す構造を得る。陽極酸化処理工程では、55 wt % のフッ化水素水溶液とエタノールとを略 1 : 1 で混合した混合液からなる電解液の入った陽極酸化処理槽を用いる。そして、白金電極（図示せず）を負極とし、n 形シリコン基板 1（オーミック電極 2）を正極として、多結晶シリコン層 3 に光照射を行いながら、定電流で陽極酸化を行う。これにより多孔質多結晶シリコン層 4 が形成される。このようにして形成された多孔質多結晶シリコン層 4 は、多結晶シリコンのグレイン及びシリコン微結晶を含んでいる。なお、実施の形態 1 では、多結晶シリコン層 3 の全部を多孔質化しているが、一部を多孔質化するようにしてもよい。

陽極酸化処理工程が終了した後、多孔質多結晶シリコン層 4 を酸化工程で酸化することにより、酸化した多孔質多結晶シリコン層よりなるドリフト層 6 を形成し、図 3 C に示す構造を得る。酸化工程では、急速加熱法で多孔質多結晶シリコン層 4 を酸化することにより、グレイン 5 1、シリコン微結晶 6 3 及び各シリコン酸化膜 5 2、6 4 を含むドリフト層 6 が形成される。急速加熱法による酸化工程では、ランプアニール装置を用いる。この場合、炉内を  $O_2$  ガス雰囲気として、

基板温度を室温から所定の酸化温度（例えば、 $900^{\circ}\text{C}$ ）まで規定の昇温速度（例えば、 $80^{\circ}\text{C}/\text{sec}$ ）で上昇させる。そして、基板温度を所定の酸化時間（例えば、1時間）だけ維持して急速熱酸化（RTO）を行う。この後、基板温度を室温まで下降させる。実施の形態1では、昇温速度を $80^{\circ}\text{C}/\text{sec}$ に設定しているが、昇温速度は $80^{\circ}\text{C}/\text{sec}$ 以上に設定すればよく、 $150^{\circ}\text{C}/\text{sec}$ 以上に設定するのがより好ましい。昇温速度をこのように設定する理由は後述する。実施の形態1では、酸化工程が、半導体微結晶たるシリコン微結晶63の表面側に絶縁膜たるシリコン酸化膜64を形成する絶縁膜形成工程となる。

ドリフト層6を形成した後、金属膜（実施の形態1ではクロム膜）からなる第1薄膜層を、電子ビーム蒸着法によりドリフト層6上に積層する。さらに、金属膜（実施の形態1では金膜）からなる第2薄膜層を電子ビーム蒸着法により第1薄膜層上に積層する。これにより第1薄膜層と第2薄膜層とからなる表面電極7が形成され、図3Dに示す構造の電子源10が得られる。実施の形態1では、表面電極7を電子ビーム蒸着法により形成しているが、表面電極7の形成方法は電子ビーム蒸着法に限定されるものではなく、例えばスパッタ法を用いてもよい。

ところで、本願発明者らは、研究の結果、急速加熱法による酸化工程の条件、とくに昇温速度が電子放出効率、絶縁耐圧、寿命などの特性のロット間ばらつきに影響を与えるという知見を得た。

そこで、本願発明者らは、急速加熱法における昇温速度を $80^{\circ}\text{C}/\text{sec}$ に設定した電子源10のドリフト層6の分析評価を行った。具体的には、フォトルミネッセンス法（PL法）によるドリフト層6の表面近傍の構造評価と、断面TEM（透過型電子顕微鏡）によるドリフト層表面近傍部の構造の観察及び元素分析と、X線光電子分光分析法（XPS法）によるドリフト層構成元素の存在量の深さ方向についての分布測定とを行った。さらに、比較例にかかる電子源（ドリフト層）についても、同様の分析評価を行った。比較例にかかる電子源は、急速加熱法における昇温速度を、 $80^{\circ}\text{C}/\text{sec}$ よりも低速の $20^{\circ}\text{C}/\text{sec}$ に設定して製造した。その結果、昇温速度を $20^{\circ}\text{C}/\text{sec}$ に設定した比較例では、ドリフト層内で、表面（表面電極7との界面）から $100\text{nm}$ 程度の深さまで $\text{SiO}_2$ 膜が形成され、シリコン微結晶の存在は確認されなかった。これに対して、昇



温速度を比較的高速の  $80^{\circ}\text{C}/\text{sec}$  に設定した電子源 10 におけるドリフト層 6 では、表面から  $100\text{nm}$  程度の深さまでの領域においても、シリコン微結晶 63 が存在していることが判明した。

以下、各分析評価の結果を説明する。まず、実施の形態 1 にかかる電子源 10 のドリフト層 6 と比較例にかかるドリフト層とについて、それぞれ、表面近傍の構造について断面 TEM による観察及び元素分析を行った結果を説明する。断面 TEM による評価により、電子源 10 のドリフト層 6 では、多結晶シリコンの柱状グレイン及びナノメータオーダのシリコン微結晶が確認された。これに対して、比較例にかかるドリフト層では、表面から  $100\text{nm}$  程度の深さまでは、全領域にわたって  $\text{SiO}_2$  膜が形成されており、多結晶シリコンの柱状グレインは  $100\text{nm}$  よりも深い領域でしか確認されなかった。

次に、図 4 を参照しつつ、PL 法によるドリフト層表面近傍部の構造評価の結果を説明する。図 4 は、He-Cd レーザから波長が  $325\text{nm}$  の光を照射して測定した発光スペクトルを示している。図 4 中の a は実施の形態 1 にかかるドリフト層 6 の発光スペクトルを示し、b は比較例にかかるドリフト層の発光スペクトルを示している。He-Cd レーザから照射される光のドリフト層 6 への侵入長は、ドリフト層 6 の表面から深さ方向に  $100\text{nm}$  以内である。したがって、図 4 中の a 及び b の各発光スペクトルは、表面近傍の浅い領域からの発光スペクトルを示している。一般に、シリコン酸化膜からの発光は F バンドと呼ばれ、 $430\text{nm} \sim 540\text{nm}$  付近にピークを持つことが知られている。また、シリコン微結晶からの発光は S バンドと呼ばれ、 $650\text{nm} \sim 800\text{nm}$  付近にピークを持つことが知られている。図 4 から明らかなとおり、実施の形態 1 にかかるドリフト層 6 では、シリコン微結晶 63 からの発光と考えられるピークと、シリコン酸化膜からの発光と考えられるピークとが観測されている。これに対して、比較例にかかるドリフト層では、シリコン酸化膜からの発光と考えられるピークのみが観測されている。すなわち、比較例にかかるドリフト層 6 の表面から  $100\text{nm}$  程度の深さまでの領域には、シリコン微結晶がほとんど存在せず、大部分ないし全部がシリコン酸化膜となっているものと考えられる。この結果は、断面 TEM による分析結果と一致している。

次に、図5を参照しつつ、XPS法によるドリフト層構成元素の存在量に関する深さ方向の分布測定の結果を説明する。図5の横軸は、ドリフト層6の表面からの深さを示している。図5の縦軸は原子濃度を示している。図5中のa1、a2及びa3は、実施の形態1にかかるドリフト層6についての測定結果を示している。また、b1、b2及びb3は、比較例にかかるドリフト層についての測定結果を示している。ここで、a1及びb1はSiO<sub>2</sub>の深さ方向の分布を示し、a2及びb2はSiの深さ方向の分布を示し、a3及びb3はSiO<sub>x</sub>の深さ方向の分布を示している。図5から明らかなとおり、実施の形態1におけるドリフト層6では、表面からの深さが100nmよりも浅い領域で、Si及びSiO<sub>2</sub>が観測されている。これに対して、比較例にかかるドリフト層では、表面から100nmよりも浅い領域ではSiは観測されず、SiO<sub>2</sub>のみ観測されている。この結果は、断面TEMによる分析結果と一致する。

以上の各分析結果から、図6A、図6Bに示すように、実施の形態1にかかるドリフト層6では、ドリフト層6の表面近傍においても、表面にシリコン酸化膜64が形成されたシリコン微結晶63を含んでいるものと考えられる。そして、ドリフト層6に注入された電子e<sup>-</sup>は、シリコン酸化膜64にかかっている強電界により加速され、シリコン微結晶63にほとんど衝突することなく図6A中の矢印の向き（右向き）にドリフトしてドリフト層6の表面に到達し、表面電極7をトンネルして真空中に放出されるものと考えられる（図6A中の一点鎖線は、電子e<sup>-</sup>の流れを示す。）。なお、図6Aの上部に記載の「PPS」はドリフト層6を示し、「Metal」は表面電極7を示し、「Vacuum」は真空を示している。また、図6Bは、電子放出原理を説明するエネルギーバンド図である。図6B中の「SiO<sub>2</sub>」はシリコン酸化膜64を示し、「μc-Si」はナノメートルオーダのシリコン微結晶63を示し、「E<sub>fm</sub>」は表面電極7のフェルミレベルを示し、「E<sub>va</sub>」は真空レベル（真空準位）を示している。

他方、図7に示すように、比較例にかかるドリフト層（以下、「ドリフト層6'」という。）では、ドリフト層6'の表面に近づくほど、シリコン酸化膜64の膜厚が大きくなってシリコン微結晶63が破壊されている。そして、表面近傍には、シリコン微結晶63が存在していない。このため、ドリフト層6'に注

入された電子 $e^-$ の一部は、電子のトンネリング現象が発生する膜厚（電子の平均自由行程程度）よりも厚いシリコン酸化膜64で散乱されたり吸収され、このため電子放出効率が低下したり、絶縁耐圧及び寿命が低下するものと考えられる。

実施の形態1にかかるドリフト層6では、表面近傍でもシリコン微結晶63が存在しているのに対して、比較例にかかるドリフト層6'では、表面近傍でシリコン微結晶63が破壊されている原因としては、次のようなモデルが考えられる。すなわち、実施の形態1では、陽極酸化処理工程後の酸化工程において、図8Aに示すように、シリコン微結晶63の周囲に酸素分子80が到達する。このとき、昇温速度が比較的高速（ $80^\circ\text{C}/\text{sec}$ ）であるので、陽極酸化により形成されていたシリコン微結晶63の表面側に、短時間でシリコン酸化膜64が形成される。このため、シリコン微結晶63の中心部への酸素原子81の拡散が阻止され、これによりシリコン微結晶63の表面にのみ電子のトンネリング現象が発生する膜厚（電子の平均自由行程程度）のシリコン酸化膜64が形成されるものと考えられる。他方、比較例でも、陽極酸化処理工程後の酸化工程で、図8Bに示すように、シリコン微結晶63の周囲に酸素分子80が到達する。しかし、昇温速度が比較的低速（ $20^\circ\text{C}/\text{sec}$ ）であるので、陽極酸化により形成されていたシリコン微結晶63の中心部まで酸素原子81が拡散し、シリコン微結晶63全体が酸化されてしまう。これが、シリコン微結晶63が破壊される原因と考えられる。

図9に、昇温速度を $80^\circ\text{C}/\text{sec}$ 、 $160^\circ\text{C}/\text{sec}$ 及び $20^\circ\text{C}/\text{sec}$ とした場合における、それぞれの電子放出効率の経時変化を示す。図9の縦軸は、電子放出効率を示し、横軸は経過時間を示している。図9中のaは昇温速度を $80^\circ\text{C}/\text{sec}$ とした場合であり、bは $20^\circ\text{C}/\text{sec}$ とした場合であり、cは $160^\circ\text{C}/\text{sec}$ とした場合である。図9から明らかなとおり、実施の形態1では、比較例に比べて、電子放出効率が高く、電子放出効率の経時変化が小さくなる。これにより、寿命が長くなる。また、昇温速度を $80^\circ\text{C}/\text{sec}$ から $160^\circ\text{C}/\text{sec}$ に高速化することにより、電子放出効率がさらに高くなる。

図9に示す電子放出効率の経時変化は、経過時間に対して指数関数的に減衰する関数（以下、「減衰関数」という。）でフィッティングすることができる。す

なわち、電子放出効率の初期値（以下、「初期電子放出効率」という。）を $\eta_0$ とし、時定数を $\tau$ とし、比例係数（線形ファクタ）を $\gamma$ とし、経過時間を $t$ とすれば、任意の経過時間 $t$ における電子放出効率を $\eta$ は、次の式1で近似することができる。なお、時定数 $\tau$ の値が大きいほど、電子源の寿命が長くなる。

$$\eta = \eta_0 \cdot \exp \left( (-t / \tau) \cdot \gamma \right) \dots\dots\dots \text{式 1}$$

図10に、初期電子放出効率 $\eta_0$ と、減数関数でフィッティングすることにより求めた時定数 $\tau$ との関係を示す。図10の縦軸は初期電子放出効率 $\eta_0$ であり、横軸は時定数 $\tau$ である。図10中のaは昇温速度を $80^\circ\text{C}/\text{sec}$ とした場合であり、bは昇温速度を $20^\circ\text{C}/\text{sec}$ とした場合であり、cは昇温速度を $160^\circ\text{C}/\text{sec}$ とした場合である。図10によれば、昇温速度が高くなるのに伴って、初期電子放出効率 $\eta_0$ 及び時定数 $\tau$ が大きくなることが分かる。つまり、昇温速度が高くなるのに伴って、電子放出効率の向上及び長寿命化を図ることができる。ここで、初期電子放出効率 $\eta_0$ と時定数 $\tau$ との積 $\eta_0 \cdot \tau$ で電子源の特性評価を行うとすれば、 $\eta_0 \cdot \tau$ の値が大きいほど電子源としての特性が優れているものと考えられる。 $\eta_0 \cdot \tau$ の値は、bでは0.092であり、aでは5.2であり、cでは21.8である。昇温速度を $20^\circ\text{C}/\text{sec}$ から $80^\circ\text{C}/\text{sec}$ へ高速化することにより、 $20^\circ\text{C}/\text{sec}$ の場合に比べて、 $\eta_0 \cdot \tau$ の値が50倍よりも大きくなっていることが分かる。したがって、昇温速度を $80^\circ\text{C}/\text{sec}$ 以上に設定することにより、 $20^\circ\text{C}/\text{sec}$ の場合に比べて、電子放出効率の向上及び長寿命化を図ることができる。さらに、昇温速度を $150^\circ\text{C}/\text{sec}$ 以上に設定することにより、電子放出効率のより一層の向上及びより一層の長寿命化を図ることができる。なお、昇温速度は、急速加熱法において用いる製造装置（例えば、ランプアニール装置）の性能で制約されるが、現在、昇温速度は $400^\circ\text{C}/\text{sec}$ 程度まで高速化できることが知られている。

以上、実施の形態1にかかる電子源10の製造方法によれば、ドリフト層6中の絶縁膜たるシリコン酸化膜64の厚さを電子のトンネリング現象が発生する膜厚（電子の平均自由行程程度）とすることができる。このため、各シリコン酸化膜64での電子の散乱を少なくすることができるとともに、ドリフト層6中でのシリコン酸化膜64の厚さのばらつきを小さくすることができる。これにより、

絶縁耐圧及び寿命の設計が容易になり、絶縁耐圧の向上及び長寿命化を図ることができ、さらに電子放出効率の向上も図ることができる。

(実施の形態 2)

以下、本発明の実施の形態 2 を説明する。実施の形態 2 では、導電性基板としてガラス基板（例えば、石英ガラス基板）からなる絶縁性基板の一表面上に金属膜（例えば、タングステン膜）からなる導電性層を設けたものを用いている。

図 1 1 に示すように、実施の形態 2 にかかる電子源 1 0 では、絶縁性基板 1 1 上の導電性層 1 2 上に、酸化した多孔質多結晶シリコン層からなるドリフト層 6 が形成されている。ドリフト層 6 上には、表面電極 7 が形成されている。表面電極 7 の構成は、実施の形態 1 の場合と同様である。

電子源 1 0 から電子を放出させるには、表面電極 7 に対向するようにコレクタ電極 2 1 を配設し、表面電極 7 とコレクタ電極 2 1 との間を真空状態にする。そして、表面電極 7 が導電性層 1 2 に対して正極（高電位）となるように、表面電極 7 と導電性層 1 2 との間に直流電圧  $V_{ps}$  を印加するとともに、コレクタ電極 2 1 が表面電極 7 に対して正極（高電位）となるように、コレクタ電極 2 1 と表面電極 7 との間に直流電圧  $V_c$  を印加する。各直流電圧  $V_{ps}$ 、 $V_c$  を適切に設定すれば、導電性層 1 2 から注入された電子が、ドリフト層 6 をドリフトし、表面電極 7 を介して放出される（図 1 1 中の一点鎖線は表面電極 7 を通して放出された電子  $e^-$  の流れを示す。）。ドリフト層 6 の表面に到達した電子はホットエレクトロンであると考えられ、表面電極 7 を容易にトンネルし、真空中に放出される。実施の形態 2 にかかる電子源 1 0 でも、実施の形態 1 にかかる電子源 1 0 と同様に、ダイオード電流  $I_{ps}$  に対するエミッション電流  $I_e$  の比率（ $= I_e / I_{ps}$ ）が大きいほど、電子放出効率が高くなる。

ドリフト層 6 の構成及び機能は、実施の形態 1 の場合と同様である。すなわち、ドリフト層 6 は、少なくとも、グレイン 5 1 と、シリコン酸化膜 5 2 と、多数のシリコン微結晶 6 3 と、多数のシリコン酸化膜 6 4 とで構成されている（図 1 参照）。また、ドリフト層 6 は、各グレインの表面が多孔質化し、各グレインの中心部分では結晶状態が維持されている。シリコン酸化膜 6 4 の厚さは、電子のトンネリング現象が発生する膜厚（電子の平均自由行程程度）、例えば 1 ～ 3 nm

程度に設定されている。

実施の形態 2 にかかる電子源 10 でも、実施の形態 1 にかかる電子源 10 の場合と同様のモデルで電子放出が起こると考えられる。すなわち、表面電極 7 と導電性層 12 との間に、表面電極 7 を正極として直流電圧  $V_{ps}$  を印加するとともに、コレクタ電極 21 と表面電極 7 との間に、コレクタ電極 21 を正極として直流電圧  $V_c$  を印加することにより、導電性層 12 からドリフト層 6 に熱的励起により注入された電子  $e^-$  はドリフトし、表面電極 7 をトンネルし、真空中に放出される。

なお、実施の形態 2 にかかる電子源 10 を、ディスプレイの電子源として利用する場合には、下部電極（導電性基板）、表面電極 7 などを適宜にパターンニングすればよい。

以下、図 12A～図 12D を参照しつつ、実施の形態 2 にかかる電子源 10 の製造方法を説明する。

まず、絶縁性基板 11 の一表面側に、スパッタ法などにより、金属膜（例えば、タングステン膜）からなる導電性層 12 を形成して導電性基板を製作する。そして、導電性基板の主表面側（ここでは、導電性層 12 上）に、半導体層としてノンドープの多結晶シリコン層 3 を形成し、図 12A に示す構造を得る。多結晶シリコン層 3 の成膜方法としては、例えば、CVD 法（LPCVD 法、プラズマ CVD 法、触媒 CVD 法など）やスパッタ法や CGS（Continuous Grain Silicon）法などを用いればよい。

ノンドープの多結晶シリコン層 3 を形成した後、陽極酸化処理工程で多結晶シリコン層 3 を多孔質化することにより、多孔質半導体層である多孔質多結晶シリコン層 4 を形成し、図 12B に示す構造を得る。陽極酸化処理工程では、55 wt % のフッ化水素水溶液とエタノールとを略 1 : 1 で混合した混合液からなる電解液の入った陽極酸化処理槽を用いる。そして、白金電極（図示せず）を負極とし、導電性層 12 を正極として、多結晶シリコン層 3 に光照射を行いながら、定電流で陽極酸化処理を行う。これにより、多孔質多結晶シリコン層 4 が形成される。多孔質多結晶シリコン層 4 は、多結晶シリコンのグレイン及びシリコン微結晶を含んでいる。なお、実施の形態 2 では、多結晶シリコン層 3 の全部を多孔質

化しているが、一部を多孔質化するようにしてもよい。

陽極酸化処理工程が終了した後、多孔質多結晶シリコン層 4 を酸化工程で酸化することにより、酸化した多孔質多結晶シリコン層からなるドリフト層 6 を形成し、図 1 2 C に示す構造を得る。酸化工程では、急速加熱法で多孔質多結晶シリコン層 4 を酸化することにより、グレイン 5 1、シリコン微結晶 6 3 及び各シリコン酸化膜 5 2、6 4 を含むドリフト層 6 が形成される。急速加熱法による酸化工程では、実施の形態 1 の場合と同様に、ランプアニール装置を用いて、炉内を  $O_2$  ガス雰囲気として、基板温度を室温から所定の酸化温度（例えば、 $900^{\circ}C$ ）まで規定の昇温速度（例えば、 $80^{\circ}C/s$ ）で上昇させる。そして、基板温度を所定の酸化時間（例えば、1 時間）だけ維持して急速熱酸化（RTO）を施す。この後、基板温度を室温まで下降させる。実施の形態 2 では、昇温速度を  $80^{\circ}C/s$  に設定しているが、実施形態 1 の場合と同様、昇温速度は  $80^{\circ}C/s$  以上に設定すればよく、 $150^{\circ}C/s$  以上に設定するのが好ましい。実施の形態 2 でも、実施の形態 1 の場合と同様に、酸化工程が、半導体微結晶たるシリコン微結晶 6 3 の表面側に、絶縁膜たるシリコン酸化膜 6 4 を形成する絶縁膜形成工程となる。

ドリフト層 6 を形成した後、金属膜（実施の形態 2 ではクロム膜）からなる第 1 薄膜層を、電子ビーム蒸着法によりドリフト層 6 上に積層する。さらに、金属膜（実施の形態 2 では金膜）からなる第 2 薄膜層を、電子ビーム蒸着法により第 1 薄膜層上に積層する。これにより、第 1 薄膜層と第 2 薄膜層とからなる表面電極 7 が形成され、図 1 2 D に示す構造の電子源 1 0 が得られる。なお、実施の形態 2 では、表面電極 7 を電子ビーム蒸着法により形成しているが、表面電極 7 の形成方法は電子ビーム蒸着法に限定されるものではなく、例えばスパッタ法を用いてもよい。

かくして、実施の形態 2 にかかる電子源 1 0 の製造方法によれば、ドリフト層 6 中の絶縁膜たるシリコン酸化膜 6 4 の厚さを電子のトンネリング現象が発生する膜厚（電子の平均自由行程程度）とすることができる。このため、各シリコン酸化膜 6 4 での電子の散乱を少なくすることができ、かつドリフト層 6 中でのシリコン酸化膜 6 4 の厚さのばらつきを小さくすることができる。これにより、絶

縁耐圧及び寿命の設計が容易になる。よって、絶縁耐圧の向上及び長寿命化を図ることができる。さらに電子放出効率の向上を図ることができる。

ところで、実施の形態 1、2 では、ドリフト層 6 を、酸化した多孔質多結晶シリコン層で構成している。しかし、ドリフト層 6 を、窒化した多孔質多結晶シリコン層や、酸化・窒化した多孔質多結晶シリコン層で構成してもよい。あるいは、酸化、窒化又は酸化・窒化したその他の多孔質半導体層で構成してもよい。

窒化した多孔質多結晶シリコン層でドリフト層 6 を形成する場合は、 $O_2$  ガスを用いて急速加熱法により酸化する酸化工程（絶縁膜形成工程）に代えて、例えば  $NH_3$  ガスを用いて昇温速度を各実施の形態と同様に設定した急速加熱法により多孔質多結晶シリコン層 4 を窒化する窒化工程（絶縁膜形成工程）を用いればよい。この場合、図 1 における各シリコン酸化膜 5 2、6 4 は、いずれもシリコン窒化膜となる。

酸化・窒化した多孔質多結晶シリコン層でドリフト層 6 を形成する場合は、多孔質多結晶シリコン層 4 を急速加熱法により酸化する工程に代えて、例えば  $O_2$  ガスと  $NH_3$  ガス、 $N_2O$  ガス、 $NO$  ガス、 $N_2$  ガスなど窒素を含むガスとの混合ガスを用いて昇温速度を各実施の形態と同様に設定した急速加熱法により多孔質多結晶シリコン層 4 を酸化・窒化する酸窒化工程（絶縁膜形成工程）を用いればよい。この場合、図 1 における各シリコン酸化膜 5 2、6 4 は、いずれもシリコン酸窒化膜となる。

また、酸化・窒化した多孔質多結晶シリコン層でドリフト層 6 を形成する場合、シリコン酸窒化膜からなる絶縁膜を形成する絶縁膜形成工程として、昇温速度を各実施の形態と同様に設定した急速加熱法によりシリコン微結晶 6 3 の表面側に酸化膜であるシリコン酸化膜を形成する酸化膜形成工程と、酸化膜形成工程で形成したシリコン酸化膜を窒化して酸窒化膜であるシリコン酸窒化膜を形成する窒化処理工程とを用いてもよい。

なお、半導体微結晶であるシリコン微結晶 6 3 の表面側に形成された絶縁膜としてシリコン窒化膜やシリコン酸窒化膜を用いる場合は、シリコン酸化膜を用いる場合に比べて、絶縁耐圧が向上する。また、絶縁膜としてシリコン酸化膜とシリコン窒化膜との積層膜を用いる場合も、シリコン酸化膜を用いる場合に比べて、



絶縁耐圧が向上する。

実施の形態 1、2 にかかる電子源 10 の各製造方法におけるドリフト層 6 の形成後において、表面電極 7 の形成前に、ドリフト層 6 中の欠陥を補償するフォーミング処理を行うことにより、絶縁膜の欠陥を補償することができる。これにより、絶縁耐圧のより一層の向上及びさらなる長寿命化を図ることができる。フォーミング処理は、少なくとも  $H_2$  と  $N_2$  とからなる混合ガス中で、基板温度を所定温度（例えば、 $450^\circ C$ ）まで上昇させて行えばよい。このようなフォーミング処理により、絶縁膜の厚さがフォーミング処理前よりも厚くなったり不純物が導入されるのを防止することができる。さらに、急速加熱法による基板温度に比べて、比較的低温で絶縁膜の欠陥を補償することができる。

実施の形態 1、2 における絶縁膜形成工程では、急速加熱法を用いて絶縁膜を形成している。しかし、電気化学的な方法により、絶縁膜であるシリコン酸化膜 64 を形成してもよい。この場合、例えば、電解質溶液（例えば、1 モルの  $H_2SO_4$ 、1 モルの  $HNO_3$ 、王水など）の入った酸化処理槽を用いて、白金電極（図示せず）を負極とし、下部電極（実施の形態 1 では n 形シリコン基板、実施の形態 2 では導電性層 12）を正極として、定電流を流し、多孔質多結晶シリコン層 4 を酸化すればよい。これにより、グレイン 51、シリコン微結晶 63、各シリコン酸化膜 52、64 を含むドリフト層 6 を形成することができる。電気化学的な方法により形成する絶縁膜を、シリコン窒化膜などの窒化膜やシリコン酸窒化膜などの酸窒化膜としてもよいのはもちろんである。

このように電気化学的な方法により絶縁膜を形成したところ、電子のトンネリング現象が発生する膜厚（電子の平均自由行程程度）の絶縁膜を形成することができ、かつシリコン微結晶 63 が破壊されていないことが確認された。しかし、昇温速度を  $80^\circ C / sec$  に設定した急速加熱法により絶縁膜を形成したものに比べて、電子放出効率が低く、寿命が短いという結果が得られた。また、電気化学的な方法で形成したシリコン酸化膜は、急速加熱法により形成したシリコン酸化膜に比べて、多量の水分を含むことも確認された。

したがって、各絶縁膜を形成する絶縁膜形成工程で、電気化学的に絶縁膜を形成した後、急速加熱法により絶縁膜を形成すれば、シリコン酸化膜の水分を除去

することができ、電子放出特性の向上を図ることができる。換言すれば、急速加熱法により絶縁膜を形成する前に、電気化学的な方法により絶縁膜を形成すれば、急速加熱法によるシリコン微結晶の破壊を確実に防止しつつ、電子放出効率及び絶縁耐圧が高く長寿命の電子源 10 を実現することができる。

5 (実施の形態 3)

以下、本発明の実施の形態 3 を説明する。実施の形態 3 にかかる電子源は、シリコン酸化膜からなる絶縁膜を有する。実施の形態 3 にかかる電子源では、導電性基板として抵抗率が導体の抵抗率に比較的近い単結晶の n 形シリコン基板（例えば、抵抗率が略  $0.01 \Omega \text{ cm} \sim 0.02 \Omega \text{ cm}$  の (100) 基板）を用いている。

図 13 に示すように、実施の形態 3 にかかる電子源 10 は、導電性基板である n 形シリコン基板 1 の主表面側に、酸化した多孔質多結晶シリコン層からなるドリフト層 6 が形成されている。ドリフト層 6 上には、表面電極 7 が形成されている。n 形シリコン基板 1 の裏面には、オーミック電極 2 が形成されている。n 形シリコン基板 1 とオーミック電極 2 とで下部電極 12 を構成している。したがって、表面電極 7 は下部電極 12 に対向し、下部電極 12 と表面電極 7 との間にドリフト層 6 が介在している。また、多孔質多結晶シリコン層が、多孔質半導体層を構成している。

表面電極 7 の材料には、仕事関数の小さい材料が用いられている。表面電極 7 の厚さは  $10 \text{ nm}$  に設定されている。しかし、この厚さはとくに限定されるものではなく、ドリフト層 6 を通ってきた電子がトンネルできる厚さであればよい。表面電極 7 の厚さは、 $3 \sim 15 \text{ nm}$  程度に設定すればよい。

ドリフト層 6 の構成及び機能は、実施の形態 1 の場合と同様である。すなわち、ドリフト層 6 は、少なくとも、グレイン 51 と、シリコン酸化膜 52 と、多数のシリコン微結晶 63 と、多数のシリコン酸化膜 64 とで構成されている（図 1 参照）。また、ドリフト層 6 は、各グレインの表面が多孔質化し、各グレインの中心部分では結晶状態が維持されている。シリコン酸化膜 64 の厚さは、電子のトンネリング現象が発生する膜厚（電子の平均自由行程程度）、例えば  $1 \sim 3 \text{ nm}$  程度に設定されている。

図 1 4 に示すように、実施の形態 3 にかかる電子源 1 0 でも、実施の形態 1 にかかる電子源 1 0 の場合と同様のモデルで電子放出が起こると考えられる。すなわち、表面電極 7 と下部電極 1 2 との間に、表面電極 7 を正極として直流電圧  $V_{ps}$  を印加するとともに、コレクタ電極 2 1 と表面電極 7 との間に、コレクタ電極 2 1 を正極として直流電圧  $V_c$  を印加することにより、下部電極 1 2 からドリフト層 6 に熱的励起により注入された電子  $e^-$  がドリフトし、表面電極 7 をトンネルし、真空中に放出される。

以下、図 1 5 A ~ 図 1 5 D を参照しつつ、実施の形態 3 にかかる電子源 1 0 の製造方法を説明する。

まず、n 形シリコン基板 1 の裏面にオーミック電極 2 を形成する。この後、n 形シリコン基板 1 の主表面上に、半導体層であるノンドープの多結晶シリコン層 3 を形成し、図 1 5 A に示す構造を得る。多結晶シリコン層 3 の成膜方法としては、例えば、CVD 法（例えば、LPCVD 法、プラズマ CVD 法、触媒 CVD 法など）やスパッタ法や CGS (Continuous Grain Silicon) 法などを用いればよい。

ノンドープの多結晶シリコン層 3 を形成した後、陽極酸化処理工程で陽極酸化の対象となる半導体層である多結晶シリコン層 3 を多孔質化することにより、多孔質多結晶シリコン層 4 を形成し、図 1 5 B に示す構造を得る。陽極酸化処理工程で形成された多孔質多結晶シリコン層 4 は、多数の多結晶シリコンのグレイン及び多数のシリコン微結晶を含んでいる。陽極酸化処理工程では、55 wt % のフッ化水素水溶液とエタノールとを略 1 : 1 で混合した混合液からなる電解液の入った処理槽を用いる。そして、500 W のタングステンランプからなる光源を用いて多結晶シリコン層 3 の表面に光照射を行いながら、電源（図示せず）から下部電極 1 2 と白金電極からなる陰極との間に定電流を流す（つまり、電流密度を一定として）。これにより、多結晶シリコン層 3 の主表面から n 形シリコン基板 1 に達する深さまで、多結晶シリコン層 3 を多孔質化する。

陽極酸化処理工程が終了した後、多孔質多結晶シリコン層 4 に含まれている半導体結晶（各グレイン及び各シリコン微結晶）の表面に、絶縁膜であるシリコン酸化膜 5 2、6 4 を形成する。これにより、グレイン 5 1、シリコン微結晶 6 3、

各シリコン酸化膜 5 2、6 4 を含むドリフト層 6 が形成され、図 1 5 C に示す構造が得られる。絶縁膜を形成する際には、陽極酸化処理工程の終了後にエタノールによるリンスを行ってから、1 M の硫酸水溶液の入った処理槽を用いて、電源（図示せず）から下部電極 1 2 と白金電極からなる陰極との間に、定電圧を印加する。これにより、電気化学的な方法により各グレイン及び各シリコン微結晶の表面に、基礎となる絶縁性薄膜（シリコン酸化膜）を形成する。

次に、図 1 6 に示すような温度プロファイルの熱処理工程を行い、所望の絶縁膜（シリコン酸化膜 5 2、6 4）を得る。図 1 6 に示すように、熱処理工程では、絶縁性薄膜に含まれている水分が突沸しないで除去されるように設定した第 1 の設定温度  $T_1$  及び昇温速度で第 1 の熱処理を行う。この後、第 1 の設定温度  $T_1$  より高く、絶縁性薄膜の構造緩和が起こるように設定した第 2 の設定温度  $T_2$  で第 2 の熱処理を行う。これにより所望の絶縁薄膜を得る。

熱処理工程では、例えばランプアニール装置を用いるが、通常の炉でもかまわない。第 1 の熱処理は、酸素ガス雰囲気（つまり、酸化種を含む雰囲気）中で行う。第 1 の設定温度  $T_1$  は例えば  $450^{\circ}\text{C}$  に設定し、熱処理時間  $H_2$  は例えば 1 時間に設定する。また、第 2 の熱処理は、酸素ガス雰囲気（つまり、酸化種を含む雰囲気）中で行う。第 2 の設定温度  $T_2$  は例えば  $900^{\circ}\text{C}$  に設定し、熱処理時間  $H_4$  は例えば 20 分に設定する。実施の形態 3 では、第 2 の熱処理として急速熱処理法を用いている。第 1 の設定温度  $T_1$  から第 2 の設定温度  $T_2$  まで基板温度を上昇させる昇温期間  $H_3$  における昇温速度は、 $150^{\circ}\text{C}/\text{sec}$  に設定している。昇温期間  $H_3$  における昇温速度は、室温から第 1 の設定温度まで上昇させる昇温期間  $H_1$  における昇温速度よりも速くしている。

第 1 の設定温度  $T_1$  は、 $100^{\circ}\text{C} \sim 700^{\circ}\text{C}$  の範囲で設定すればよいが、 $300^{\circ}\text{C}$  以上に設定するのが望ましい。第 2 の設定温度  $T_2$  は、 $600^{\circ}\text{C}$  以上の範囲で設定すればよい。昇温期間  $H_3$  における昇温速度は、 $20^{\circ}\text{C}/\text{sec}$  以上に設定すればよいが、 $150^{\circ}\text{C}/\text{sec}$  以上に設定するのが望ましい。昇温期間  $H_1$  における昇温速度は、絶縁性薄膜中に含まれている水分が突沸しないように設定する必要があるので、例えば  $20^{\circ}\text{C}/\text{sec}$  以下に設定するのが望ましい。

ドリフト層 6 を形成した後、金属材料（例えば、金）からなる表面電極 7 を蒸

着法などにより形成し、図 1 5 D に示す構造の電子源 1 0 を得る。なお、実施の形態 3 では、表面電極 7 を蒸着法により形成している。しかし、表面電極 7 の形成方法は蒸着法に限定されるものではなく、例えばスパッタ法を用いてもよい。

絶縁膜（シリコン酸化膜 5 2、6 4）を形成するにあたっては、まず半導体結晶（多孔質多結晶シリコン層 4 に含まれる多数のグレイン及び多数のシリコン微結晶）の表面に電気化学的な方法で、基礎となる絶縁性薄膜を形成する。これにより、半導体結晶がナノメータオーダのシリコン微結晶（半導体微結晶）のような小さいサイズの半導体結晶であっても、シリコン微結晶を破壊することなく絶縁性薄膜を形成することができる。そして、絶縁性薄膜に含まれている水分が突沸しないで除去されるように設定した第 1 の設定温度及び昇温速度で、第 1 の熱処理を行う。この後、第 1 の設定温度よりも高く絶縁性薄膜の構造緩和が起こるように設定した第 2 の設定温度で、第 2 の熱処理を行う。これにより、所望の絶縁膜（シリコン酸化膜 5 2、6 4）を得ることができる。すなわち、絶縁性薄膜中の水分の突沸による絶縁膜の絶縁耐圧の低下を防止しつつ、絶縁膜に含まれる水分を電気化学的な方法のみで形成した絶縁膜に比べて、十分に少なくすることができる。かつ、構造緩和により電気的特性に悪影響を与える欠陥や歪などを緩和することができる。これにより、絶縁耐圧が高く長寿命化を図った絶縁膜を形成することができる。

このような製造方法により製造した電子源 1 0 では、ドリフト層 6 におけるシリコン酸化膜 5 2、6 4 を、急速熱酸化法のみで形成した場合に比べて、シリコン微結晶 6 3 を破壊することなくシリコン酸化膜 5 2、6 4 を形成することができる。このため、電子放出効率、絶縁耐圧、寿命などを向上させることができる。また、ドリフト層 6 におけるシリコン酸化膜 5 2、6 4 を電気化学的な方法のみで形成した場合に比べて、シリコン酸化膜 5 2、6 4 中の水分及び歪を低減することができる。絶縁耐圧及び寿命を向上させることができる。

上記製造方法では、第 1 の設定温度  $T_1$  が  $700^{\circ}\text{C}$  以下に設定されている。このため、半導体結晶（グレイン及びシリコン微結晶）が、石英ガラス基板に比べて安価で耐熱温度の低いガラス基板の表面側に形成されているような場合でも、第 1 の熱処理の熱処理時間  $H_2$  を比較的長くすることができる。これにより、第

1の熱処理後の残留水分をより少なくすることができる。また、第2の設定温度T2が600℃以上の温度範囲に設定されているので、絶縁膜（シリコン酸化膜52、64）中の残留水分を、第1の熱処理後の絶縁性薄膜よりもさらに低減することができる。しかも、第2の熱処理を急速熱処理法により行うので、第2の設定温度T2まで短時間で昇温することができる。このため、シリコン微結晶に発生するダメージを低減することができる。

第1の熱処理は、酸化種を含む雰囲気中で行われるので、絶縁性薄膜中の水分の脱離によって生じた欠陥などを補償することが期待できる。また、絶縁性薄膜中の水分を脱離させるのに、熱エネルギーだけでなく、酸素との結合エネルギーや反応エネルギーも利用することになる。これにより、第1の熱処理後の残留水分がより少なくなることが期待できる。さらに、第2の熱処理が、酸化種を含む雰囲気中で行われるので、第2の熱処理により絶縁性薄膜の表面側に薄い熱酸化膜が形成され、絶縁膜の絶縁耐圧が向上する。なお、実施の形態3では、第1の熱処理後に第2の熱処理を行っている。しかし、第2の熱処理を行わずに、第1の熱処理だけを行うようにしてもよい。この場合も、従来に比べて、絶縁耐圧及び寿命を向上させることができる。

第1の熱処理を、真空中又は不活性ガス雰囲気中で行うようにしてもよい。第1の熱処理を真空中で行えば、第1の設定温度T1を比較的低く設定することができる。すなわち、第1の熱処理を真空中で行うことにより、絶縁性薄膜に含まれている水分が比較的低い温度で脱離するので、第1の設定温度T1を比較的低く設定することができる。第1の熱処理を不活性ガス雰囲気中で行うようにすれば、第1の熱処理を行うために真空装置を用いる必要がない。このため、真空装置に比べて簡便な装置を用いることができ、第1の熱処理を行う装置におけるスループットを向上させることができる。

第2の熱処理を、不活性ガス雰囲気中、又は窒化種を含む雰囲気中で行うようにしてもよい。第2の熱処理を不活性ガス雰囲気中で行えば、第2の熱処理を行うために真空装置を用いる必要がない。このため、真空装置に比べて簡便な装置を用いることができ、第2の熱処理を行う装置におけるスループットを向上させることができる。かつ、第2の熱処理によって絶縁性薄膜の膜厚が変化しないの

で、絶縁膜の膜厚を電気化学的な方法の条件のみで制御することが可能となる。このため、絶縁膜の膜厚制御性が向上する。他方、第2の熱処理を窒化種を含む雰囲気中に行えば、第2の熱処理によって絶縁性薄膜の表面側に薄い酸窒化膜が形成される。これにより、絶縁膜の絶縁耐圧が向上するとともに、絶縁膜中の欠陥密度の低減による電気的特性の向上を期待することができる。

絶縁膜を形成する際には、薄膜形成装置と、第1の熱処理装置と、第2の熱処理装置とを備えた絶縁膜の形成装置を用いればよい。ここで、薄膜形成装置は、半導体結晶の表面に、電気化学的に絶縁性薄膜を形成する。第1の熱処理装置は、絶縁性薄膜に含まれている水分が突沸しないで除去されるように設定した第1の設定温度及び昇温速度で第1の熱処理を行う。第2の熱処理装置は、第1の設定温度よりも高く絶縁性薄膜の構造緩和が起こるように設定した第2の設定温度で第2の熱処理を行うことにより所望の絶縁膜を形成する。

薄膜形成装置は、図示していないが、規定の電解液（例えば、硫酸、硝酸、王水などの酸、あるいは、有機溶媒中に溶質を溶かした電解液を用いてもよい。）を入れた処理槽と、処理槽内の電解液に浸漬された白金電極からなる陰極と、陽極と陰極との間に陽極を高電位として通電する通電手段としての電源（例えば、定電圧源）とを備えている。薄膜形成装置は、絶縁性薄膜を形成する対象となる半導体結晶を有する被処理物を処理槽内の電解液に浸漬し、被処理物の裏面側に予め設けられている電極（実施の形態3では、下部電極12）を陽極として利用する。

図17に示すように、第1の熱処理装置はランプアニール装置であって、温度検出手段である放射温度計42と、制御手段44とを備えている。放射温度計42は、第1の熱処理を行うチャンバ41内にセットされた被処理物Cにおける基板温度（実施の形態3では、下部電極12の温度）を検出する。なお、実施の形態3では、下部電極12の主表面側にグレイン51、シリコン微結晶63及び絶縁性薄膜を含む被処理層6'が形成されている。制御手段44は、放射温度計42による検出温度が予め設定された設定温度（第1の設定温度T1）にほぼ等しくなるように、ハロゲンランプからなるランプ（図示せず）の出力を制御する。したがって、第1の熱処理装置を第2の熱処理装置に兼用することができる。こ

のため、第1の熱処理と第2の熱処理とを、同一チャンバ41内で連続的に行うことができる。

また、第1の熱処理装置には水分検出手段43が設けられている。水分検出手段43は、チャンバ41の排気側に設けられ、被処理物Cの絶縁性薄膜に起因する水分を検出する。制御手段44は、水分検出手段43により検出された水分量が規定量よりも少なくなれば、第1の熱処理を終了させるようにするのが好ましい。このようにすれば、第1の熱処理の熱処理時間H2に過不足が生じるのを防止することができ、かつ絶縁膜の電気的特性の再現性を高めることができる。水分検出手段43としては、例えば、四重極質量分析計 (Quadrupole Mass Spectrometer) を用いることができる。水分検出手段43をチャンバ41の排気側に設けることにより、絶縁性薄膜に起因する水分を比較的容易に検出することができる。

図18に、昇温脱離ガス質量分析法 (Thermal Desorption Spectrometry : TDS) を用いて、絶縁性薄膜から脱離する水分の流量の基板温度に対する変化特性を測定した結果を示す。なお、図18では、脱離する水分の流量はイオン電流の形態で示されている。図18に示す結果によれば、基板温度が450℃以上の温度領域では、絶縁薄膜中の水分が十分に脱離されているといえる。このような状態は、実質的に水分を含まない状態といえる。

このような絶縁膜の形成装置を用いれば、絶縁耐圧が高く長寿命化を図ることができる絶縁膜を再現性良く形成することができる。なお、第1の熱処理装置と第2の熱処理装置とを共用することにより、第1の熱処理と第2の熱処理とを連続的に行うことができる。

実施の形態3では、ドリフト層6がグレイン51及びシリコン微結晶63を含んでいるが、グレイン51を含んでいない構成としてもよい。実施の形態3では、絶縁性薄膜をシリコン酸化膜としている。しかし、シリコン酸化膜の代わりに、シリコン窒化膜を形成するようにしてもよい。また、半導体結晶の材料としてシリコンを用いているが、シリコン以外の半導体材料を用いてもよい。

なお、ドリフト層6の代わりに絶縁層を用いて、下部電極 (導電性基板) と、表面電極と、下部電極と表面電極との間に介在する絶縁層とを備えた電子源とし、



上記絶縁層を上述の絶縁薄膜の形成方法により形成するようにしてもよい。このような電子源では、従来のMIM型の電界放射型電子源に比べて、絶縁耐圧及び寿命を向上させることができる。

(実施の形態4)

5       以下、本発明の実施の形態4を説明する。

図19Gに示すように、実施の形態4では、導電性基板としてガラス基板からなる絶縁性基板11の一表面上に導電性層12（例えば、クロム膜などの金属膜やITO膜など）を設けたものを用いている。このように絶縁性基板11の一表面側に導電性層12を形成した基板を用いる場合、導電性基板として半導体基板  
10       を用いる場合に比べて、電子源の大面积化及び低コスト化が可能となる。

実施の形態4にかかる電子源10の基本構成は、図40に示す従来の電子源10”と同様である。すなわち、絶縁性基板11上の導電性層12上に、半導体層であるノンドープの多結晶シリコン層3が形成されている。多結晶シリコン層3上には、酸化した多孔質多結晶シリコン層からなるドリフト層6が形成されている。  
15       ドリフト層6上には、表面電極7が形成されている。表面電極7には、仕事関数が小さい材料（例えば、金）が用いられている。表面電極7の膜厚は、3～15nm程度に設定されている。ドリフト層6の構造については後述する。図19Gに示す電子源10では、導電性層12とドリフト層6との間に多結晶シリコン層3の一部を介在させている。しかし、多結晶シリコン層3を介在させずに導  
20       電性層12上にドリフト層6を形成してもよい。

電子源10から電子を放出させるプロセスは、図40に示す従来の電子源10”の場合と同様である。すなわち、表面電極7に対向するようにコレクタ電極21（図40参照）を配設し、表面電極7とコレクタ電極21との間を真空状態にする。そして、表面電極7が導電性層12に対して高電位（正極）となるように、  
25       表面電極7と導電性層12との間に直流電圧 $V_{ps}$ を印加する。かつ、コレクタ電極21が表面電極7に対して高電位となるように、コレクタ電極21と表面電極7との間に直流電圧 $V_c$ を印加する。各直流電圧 $V_{ps}$ 、 $V_c$ を適切に設定すれば、導電性層12から注入された電子が、ドリフト層6をドリフトし、表面電極7を介して放出される。

以下、図19A～図19Gを参照しつつ、実施の形態4にかかる電子源10の製造方法を説明する。

まず、絶縁性基板11の一表面側に、スパッタ法などにより導電性層12を設けて導電性基板を形成し、図19Aに示す構造を得る。

- 5       次に、導電性基板の一表面側に、所定膜厚（例えば、 $1.5\mu\text{m}$ ）の半導体層であるノンドープの多結晶シリコン層3を形成（成膜）し、図19Bに示す構造を得る。多結晶シリコン層3の成膜方法としては、例えばCVD法（例えばLP CVD法、プラズマCVD法、触媒CVD法など）やスパッタ法やCGS（Continuous Grain Silicon）法などを用いればよい。

- 10       ノンドープの多結晶シリコン層3を形成した後、多結晶シリコン層3上に、後述の多結晶多結晶シリコン層4'を所定領域にのみ形成するためのマスク材（図示せず）を設ける。この後、55wt%のフッ化水素水溶液とエタノールとを略1：1で混合した混合液からなる電解液の入った陽極酸化処理槽を準備する。そして、白金電極（図示せず）を負極とし、導電性層12を正極として、多結晶シリコン層3に光照射を行いながら、所定の条件で陽極酸化処理を行う。これにより、多孔質多結晶シリコン層4'が形成される。そして、マスク材を除去し、図19Cに示す構造を得る。実施の形態4における陽極酸化処理では、陽極酸化処理の期間と、多結晶シリコン層3の表面に照射する光パワーと、電流密度とを一定としている。しかし、この処理条件は、適宜変更してもよい（例えば、電流密度を変化させてもよい）。
- 15
- 20

- 25       陽極酸化処理が終了した後、多孔質多結晶シリコン層4'を、不活性ガスである $\text{N}_2$ ガス中において $400^\circ\text{C}$ でアニールすることにより、図19Dに示す構造を得る。図19D中の4は、アニール後の多孔質多結晶シリコン層を示している。アニール前においては、多孔質多結晶シリコン層4'の最上表面は、図42に示すように、水素原子により終端されていると考えられる。かつ、フッ素原子が多孔質多結晶シリコン層4'中に取り込まれ、さらに多孔質多結晶シリコン層4'の表面に水分が吸着していると考えられる。

そして、図20に示すように、上記アニールを行うことにより、アニール後の多孔質多結晶シリコン層4の最上表面は、水素原子、フッ素原子及び水分が脱離

した状態になると考えられる。多孔質多結晶シリコン層4'をアニールする際の温度は、導電性基板の材料や半導体層の材料などに応じて、100℃～700℃の温度範囲で適宜に設定すればよい。なお、多孔質多結晶シリコン層4'をアニールする際の不活性ガスはN<sub>2</sub>ガスに限定されず、例えばArガスなどを用いてもよい。

次に、アニール後の多孔質多結晶シリコン層4を、1モルの硫酸(H<sub>2</sub>SO<sub>4</sub>)水溶液中で電気化学的に酸化してドリフト層6'を形成し、図19Eに示す構造を得る。なお、電気化学的な酸化の際に用いる水溶液及び濃度は、とくには限定されない。例えば、硝酸水溶液などを用いてもよい。

電気化学的な酸化が終了した後、ドリフト層6'を不活性ガスであるN<sub>2</sub>ガス中において400℃でアニールし、図19Fに示す構造を得る。図19F中の6は、アニール後のドリフト層6を示している。ドリフト層6'をアニールする際の温度は、導電性基板の材料や半導体層の材料などに応じて100℃～700℃の温度範囲で適宜に設定すればよい。なお、ドリフト層6'をアニールする際の不活性ガスはN<sub>2</sub>ガスに限定されず、例えばArガスなどを用いてもよい。また、ドリフト層6'のアニールは、不活性ガス中で行う必要はなく、真空中で行ってもよい。

ドリフト層6を形成した後、ドリフト層6上に導電性薄膜(例えば、金薄膜)からなる表面電極7を、例えば蒸着法により形成し、図19Gに示す構造の電子源10を得る。なお、表面電極7の形成方法は蒸着法に限定されるものではなく、例えばスパッタ法を用いてもよい。

このような製造方法により製造された電子源10のドリフト層6は、図39に示す従来の電子源のドリフト層6"と同様に、少なくとも、柱状の多結晶シリコンのグレイン51と、薄いシリコン酸化膜52と、ナノメータオーダのシリコン微結晶63と、シリコン酸化膜64とで構成されていると考えられる。ただし、実施の形態4にかかる電子源10は、次の点で従来の電子源と相違する。すなわち、この電子源10では、陽極酸化処理で形成した多孔質多結晶シリコン層4'を不活性ガス中でアニールした後、アニール後の多孔質多結晶シリコン層4を酸化することによりドリフト層6'を形成する。そして、ドリフト層6'を不活性

ガス中でアニールした後に表面電極 7 を形成している。このため、陽極酸化処理の直後に多孔質多結晶シリコン層に水分などが吸着した状態で多孔質多結晶シリコン層を酸化した場合に比べて、ドリフト層 6 に含まれる水素やフッ素などの不純物に起因した欠陥を比較的少なくすることができる。さらに、 $\text{SiO}_2$  の構造又は  $\text{SiO}_2$  の構造に近い緻密な酸化膜を形成することができる。これにより、電子放出効率の経時変化が少なく、絶縁耐圧が高く、信頼性の高い電子源 10 を実現することができる。

上述の製造方法では、アニール後の多孔質多結晶シリコン層 4 を電気化学的に酸化している。このため、比較的低温でアニール後の多孔質多結晶シリコン層 4 を酸化することができる。しかし、アニール後の多孔質多結晶シリコン層 4 を酸化する工程は、電気化学的な酸化工程に限られない。例えば、 $\text{O}_2$  ガスを用いた熱酸化工程、 $\text{O}_2$  プラズマを用いた酸化工程、オゾンを用いた酸化工程などのドライプロセスを用いてもよい。これらの工程は電気化学的な酸化工程のようなウェットプロセスではないので、酸化工程後のアニールは必ずしも行う必要がない。したがって、電気化学的な酸化を行う場合に比べて、工程数を削減することができる。しかも、多孔質多結晶シリコン層 4' のアニール処理と、アニール後の多孔質多結晶シリコン層 4 の酸化処理とを、例えばランプアニール装置中で連続して行うことも可能となる。

実施の形態 4 では、導電性基板としてガラス基板からなる絶縁性基板 11 の一表面に導電性層 12 を形成したものを用いている。しかし、導電性基板として、クロムなどの金属基板を用いてもよい。また、半導体基板（例えば、抵抗率が導体の抵抗率に比較的近い n 形シリコン基板や、一表面側に導電性層として n 形領域が形成された p 形シリコン基板など）を用いてもよい。絶縁性基板 11 としては、ガラス基板の他に、セラミック基板などを用いることができる。

実施の形態 4 では表面電極 7 の材料として金を採用している。しかし、表面電極 7 の材料は金に限定されるものではなく、例えば、アルミニウム、クロム、タングステン、ニッケル、白金などを用いてもよい。また、表面電極 7 を、厚み方向に積層された少なくとも 2 層の薄膜層で構成してもよい。表面電極 7 を 2 層の薄膜層で構成する場合、上層の薄膜層の材料としては、例えば金などを用いるこ

とができ、下層の薄膜層（ドリフト層 6 側の薄膜層）の材料としては、例えば、クロム、ニッケル、白金、チタン、イリジウムなどを用いることができる。

また、実施の形態 4 では、ドリフト層 6 を、酸化した多孔質多結晶シリコン層により構成している。しかし、ドリフト層 6 を、酸化した多孔質単結晶シリコン、  
5 あるいはその他の酸化した多孔質半導体層で構成してもよい。

（実施の形態 5）

以下、本発明の実施の形態 5 を説明する。

図 2 1 F に示すように、実施の形態 5 では、導電性基板としてガラス基板からなる絶縁性基板 1 1 の一表面上に、導電性層 1 2（例えば、クロム膜、チタン膜、  
10 タングステン膜などの金属膜や複数種類の金属膜の積層膜、ITO 膜など）を設けたものを用いている。このように絶縁性基板 1 1 の一表面側に導電性層 1 2 を形成した基板を用いる場合、導電性基板として半導体基板を用いる場合に比べて、電子源の大面积化及び低コスト化が可能となる。

実施の形態 5 にかかる電子源 1 0 の基本構成は、図 4 0 に示す従来の電子源 1  
15 0” とほぼ同一である。すなわち、絶縁性基板 1 1 上の導電性層 1 2 上に、多結晶半導体層であるノンドープの多結晶シリコン層 3’ が形成されている。多結晶シリコン層 3’ 上には、酸化した多孔質多結晶シリコン層からなるドリフト層 6 が形成されている。ドリフト層 6 上には、表面電極 7 が形成されている。表面電極 7 には、仕事関数が小さい材料（例えば、金）が用いられている。表面電極 7  
20 の膜厚は、10～15 nm 程度に設定されている。ドリフト層 6 の構造については後述する。図 2 1 F に示す電子源 1 0 では、導電性層 1 2 とドリフト層 6 との間に、多結晶シリコン層 3’ の一部を介在させている。しかし、多結晶シリコン層 3’ を介在させずに、導電性層 1 2 上にドリフト層 6 を形成してもよい。

電子源 1 0 から電子を放出させるプロセスは、図 4 0 に示す従来の電子源 1  
25 0” の場合と同様である。すなわち、表面電極 7 に対向するようにコレクタ電極 2 1（図 4 0 参照）を配設し、表面電極 7 とコレクタ電極 2 1 との間を真空状態にする。そして、表面電極 7 が導電性層 1 2 に対して高電位（正極）となるように、表面電極 7 と導電性層 1 2 との間に直流電圧  $V_{ps}$  を印加する。かつ、コレクタ電極 2 1 が表面電極 7 に対して高電位となるように、コレクタ電極 2 1 と表面

電極 7 との間に直流電圧  $V_c$  を印加する。各直流電圧  $V_{ps}$ 、 $V_c$  を適切に設定すれば、導電性層 12 から注入された電子が、ドリフト層 6 をドリフトし、表面電極 7 を介して放出される。

以下、図 21A～図 21F を参照しつつ、実施の形態 5 にかかる電子源 10 の製造方法を説明する。

まず、絶縁性基板 11 の一表面側に、スパッタ法などにより導電性層 12 を設けて導電性基板を形成し、図 21A に示す構造を得る。この後、導電性基板の一表面側（すなわち、導電性層 12 上）に、所定膜厚（例えば、 $1.5 \mu m$ ）の多結晶半導体である多結晶シリコンからなる層状の半導体層として、多結晶シリコン層 3 を形成（成膜）し、図 21B に示す構造を得る。多結晶シリコン層 3 の成膜方法としては、例えば CVD 法（例えば LPCVD 法、プラズマ CVD 法、触媒 CVD 法など）やスパッタ法や CGS（Continuous Grain Silicon）法などを用いればよい。成膜温度を  $600^\circ C$  以下にすれば、絶縁性基板 11 として、例えば、無アルカリガラス基板、低アルカリガラス基板、ソーダライムガラス基板などの比較的安価なガラス基板を用いることができ、低コスト化を図ることができる。

ノンドーパの多結晶シリコン層 3 を形成した後、多結晶シリコン層 3 を、不活性ガスである  $N_2$  ガス中において規定のアニール温度（例えば、 $100^\circ C \sim 700^\circ C$ 、望ましくは、 $500^\circ C \sim 600^\circ C$ ）で規定時間（例えば、1 時間）のアニールを行う。これにより、結晶性を改善するとともに、欠陥を低減し、図 21C に示す構造を得る。図 21C 中の 3' は、アニール後の多結晶シリコン層を示している。実施の形態 5 では、アニール後の多結晶シリコン層 3' が多結晶半導体層を構成している。多結晶シリコン層 3 をアニールする際の不活性ガスは、 $N_2$  ガスに限られず、例えば Ar ガスなどを用いてもよい。多結晶シリコン層 3 のアニールは、不活性ガス中で行う必要はなく、真空中で行ってもよい。不活性ガス中又は真空中でアニールを行えば、アニール時に多結晶シリコン層 3 に活性な不純物が導入されるのを抑制することができる。多結晶シリコン層 3 をアニールする際の温度は、導電性基板の材料などの耐熱温度を考慮した上で、比較的高い温度に設定するのが望ましい。

アニールを行った後、多結晶シリコン層 3' 上に後述の多孔質多結晶シリコン層 4 を、所定領域にのみ形成するためのマスク材（図示せず）を設ける。この後、55 wt % のフッ化水素水溶液とエタノールとを略 1 : 1 で混合した混合液からなる電解液の入った陽極酸化処理槽を準備する。そして、白金電極（図示せず）を負極とし、導電性層 1 2 を正極として、多結晶シリコン層 3' に光照射を行いながら、所定の条件で陽極酸化処理を行う。これにより、多孔質多結晶シリコン層 4 が形成される。そして、マスク材を除去して、図 2 1 D に示す構造を得る。実施の形態 5 における陽極酸化処理では、陽極酸化処理の期間と、多結晶シリコン層 3' の表面に照射する光パワーと、電流密度とを一定としている。しかし、この処理条件は適宜変更してもよい（例えば、電流密度を変化させてもよい）。

陽極酸化処理が終了した後、多孔質多結晶シリコン層 4 を 1 モルの硫酸 ( $\text{H}_2\text{SO}_4$ ) 水溶液中で電気化学的に酸化してドリフト層 6 を形成し、図 2 1 E に示す構造を得る。電気化学的な酸化の際に用いる水溶液及び濃度は、とくには限定されない。例えば、硝酸水溶液などを用いてもよい。

ドリフト層 6 を形成した後、ドリフト層 6 上に導電性薄膜（例えば、金薄膜）からなる表面電極 7 を、例えば蒸着法により形成し、図 2 1 F に示す電子源 1 0 を得る。なお、表面電極 7 の形成方法は、蒸着法に限定されるものではなく、例えばスパッタ法を用いてもよい。

このような製造方法により製造された電子源 1 0 のドリフト層 6 は、図 3 9 に示す従来の電子源のドリフト層 6'' と同様に、少なくとも、柱状の多結晶シリコンのグレイン 5 1 と、薄いシリコン酸化膜 5 2 と、ナノメータオーダのシリコン微結晶 6 3 と、シリコン酸化膜 6 4 とで構成されていると考えられる。ただし、実施の形態 5 にかかる電子源 1 0 は、次の点で従来の電子源と相違する。すなわち、この電子源 1 0 では、多結晶シリコン層 3 をアニールした後に、陽極酸化処理で形成した多孔質多結晶シリコン層 4 を酸化することによりドリフト層 6 を形成している。このため、層状の半導体層である多結晶シリコン層 3 をアニールすることにより、多結晶半導体層である多結晶シリコン層 3' が形成される。

これにより、多結晶シリコン層 3' を比較的低温（600℃以下）で形成しながら、多結晶シリコン層 3' の結晶性を、多結晶シリコン層 3 と導電性層 1 2 と

の界面に、半導体と金属とからなる化合物層又は合金層を形成でき、また、界面で、多結晶シリコン 3 がほぼ結晶化できるため、従来の比較的低温で形成した多結晶シリコン層 3 に比べて、低抵抗化が図れ、この結果、多結晶シリコン層 3 と導電性層 1 2 間のバリア層や高抵抗層が低減できるので、電子放出効率及び信頼性を向上させることができる電子源 1 0 を提供することができる。なお、このような製造方法で製造された電子源 1 0 は、図 3 8 に示す従来の電子源 1 0' と同様に、電子放出特性の真空度依存性が小さく、かつ電子放出時にポッピング現象が発生させずに安定して電子を放出することができる。

図 2 2 A～図 2 2 C に、従来の電子源 1 0'' (図 4 0 参照) と、実施の形態 5 にかかる製造方法で製造した電子源 1 0 とについて、電子放出特性 (エミッション電流  $I_e$ 、電子放出効率など) を測定した結果を示す。図 2 2 A は従来の電子源 1 0'' (従来例: アニールなしの場合) についての測定結果であり、図 2 2 B はアニール温度を 5 0 0 °C とした実施の形態 5 にかかる電子源 1 0 (実施例 1) についての測定結果であり、図 2 2 C はアニール温度を 5 5 0 °C とした実施の形態 5 にかかる電子源 1 0 (実施例 2) についての測定結果である。

図 2 2 A～図 2 2 C の横軸は直流電圧  $V_{ps}$  を示し、左側の縦軸は電流密度を示している。 $\alpha$  はダイオード電流  $I_{ps}$  の電流密度を示し、 $\beta$  はエミッション電流  $I_e$  の電流密度を示している。また、図 2 2 A～図 2 2 C の右側の縦軸は電子放出効率を示している。 $\gamma$  は電子放出効率を示している。直流電圧  $V_c$  は 1 0 0 V で一定である。電子放出効率は、 $(I_e / I_{ps}) \times 100 [\%]$  として求めた値である。従来例、実施例 1 及び実施例 2 のいずれも、導電性基板上への多結晶シリコン層 3 の堆積は、プラズマ CVD 法により行った。

図 2 2 A～図 2 2 C によれば、アニールを行った実施例 1、2 では、アニールを行っていない従来例に比べて、エミッション電流  $I_e$  及び電子放出効率が大幅に向上していることが分かる。また、実施例 1 と実施例 2 とを比較すると、アニール温度の高い実施例 2 の方が、実施例 1 に比べて、エミッション電流  $I_e$  及び電子放出効率の両方とも向上していることが分かる。

上述の製造方法では、層状の半導体層を、多結晶シリコンからなる多結晶シリコン層 3 で構成している。しかし、層状の半導体層を、例えばシリコン微結晶の



ような半導体微結晶で構成してもよい。この場合、シリコン微結晶からなる層状の半導体層を形成した後、アニールにより多結晶化することにより、多結晶シリコン層 3' を形成すればよい。

5 実施の形態 5 では、導電性基板として、ガラス基板からなる絶縁性基板 1 1 の一表面に導電性層 1 2 を形成したものをを用いている。しかし、導電性基板として、クロムなどの金属基板を用いてもよい。あるいは、半導体基板（例えば、抵抗率が導体の抵抗率に比較的近い n 形シリコン基板や、一表面側に導電性層として n 形領域が形成された p 形シリコン基板など）などを用いてもよい。絶縁性基板 1 1 として、ガラス基板の他にセラミック基板などを用いることができる。

10 実施の形態 5 では、表面電極 7 の材料として金を用いている。しかし、表面電極 7 の材料は、金に限定されるものではなく、例えば、アルミニウム、クロム、タングステン、ニッケル、白金などを用いてもよい。

15 また、表面電極 7 を、厚み方向に積層された少なくとも 2 層の薄膜層で構成してもよい。この場合、上層の薄膜層の材料として、例えば金などを用いることができ、下層の薄膜層（ドリフト層 6 側の薄膜層）の材料として、例えばクロム、ニッケル、白金、チタン、イリジウムなどを用いることができる。

実施の形態 5 では、ドリフト層 6 を、酸化した多孔質多結晶シリコン層で構成している。しかし、ドリフト層 6 を、その他の酸化した多孔質多結晶半導体層で構成してもよい。

20 （実施の形態 6）

以下、本発明の実施の形態 6 を説明する。

図 2 3 に示すように、実施の形態 6 にかかる電子源 1 0 では、導電性基板として、抵抗率が導体の抵抗率に比較的近い単結晶の n 形シリコン基板 1 （例えば、抵抗率が略  $0.01 \Omega \text{ cm} \sim 0.02 \Omega \text{ cm}$  の (100) 基板）を用いている。

25 この電子源 1 0 では、n 形シリコン基板 1 の主表面側に、酸化した多孔質多結晶シリコン層からなるドリフト層 6 が形成されている。ドリフト層 6 上には、表面電極 7 が形成されている。n 形シリコン基板 1 の裏面には、オーミック電極 2 が形成されている。n 形シリコン基板 1 とオーミック電極 2 とで下部電極 1 2 を構成している。したがって、表面電極 7 は下部電極 1 2 に対向し、下部電極 1 2

と表面電極 7 との間に、ドリフト層 6 が介在している。

表面電極 7 は、例えば、金 (Au)、白金 (Pt)、クロム (Cr) などの仕事関数が小さく耐酸化性が高くて化学的に安定な金属からなる金属膜又はこれらの金属膜の積層膜により形成すればよい。表面電極 7 の厚さは、3 ~ 15 nm 程度  
5 度の範囲内で設定すればよい。

ドリフト層 6 の構成及び機能は、基本的には、実施の形態 1 の場合と同様である。すなわち、ドリフト層 6 は、少なくとも、グレイン 51 と、シリコン酸化膜 52 と、多数のシリコン微結晶 63 と、多数のシリコン酸化膜 64 とで構成されている (図 1 参照)。また、ドリフト層 6 は、各グレインの表面が多孔質化し、  
10 各グレインの中心部分では結晶状態が維持されている。なお、各グレイン 51 は、下部電極 12 の厚み方向に延びている。また、絶縁膜 52、64 については後述する製造方法の説明の際に詳述する。

図 24 に示すように、実施の形態 6 にかかる電子源 10 でも、実施の形態 1 あるいは実施の形態 3 にかかる電子源 10 の場合と同様のモデルで電子放出が起こ  
15 ると考えられる。すなわち、表面電極 7 と下部電極 12 との間に、表面電極 7 を正極として直流電圧  $V_{ps}$  を印加するとともに、コレクタ電極 21 (例えば、ITO 膜等の透明導電膜) と表面電極 7 との間に、コレクタ電極 21 を正極として直流電圧  $V_c$  を印加することにより、下部電極 12 からドリフト層 6 に熱的励起により注入された電子  $e^-$  がドリフトし、表面電極 7 をトンネルし、真空中に放出  
20 される。

以下、図 25A ~ 25D を参照しつつ、実施の形態 6 にかかる電子源 10 の製造方法を説明する。

まず、n 形シリコン基板 1 の裏面にオーミック電極 2 を形成する。この後、n 形シリコン基板 1 の主表面 (一表面) 上に、半導体層としてノンドープの多結晶シリコン層 3 を形成する成膜工程を行い、図 25A に示す構造を得る。多結晶シリコン層 3 の成膜方法としては、例えば、CVD 法 (例えば、LPCVD 法、プラズマ CVD 法、触媒 CVD 法など) やスパッタ法や CGS (Continuous Grain Silicon) 法などを用いればよい。  
25

ノンドープの多結晶シリコン層 3 を形成した後、電解液を用いた陽極酸化処理

により、陽極酸化の対象となる半導体層である多結晶シリコン層 3 を多孔質化する陽極酸化処理工程を行う。これにより、多孔質半導体層である多孔質多結晶シリコン層 4 が形成され、図 2 5 B に示す構造が得られる。陽極酸化処理工程により形成された多孔質多結晶シリコン層 4 は、多数の多結晶シリコンのグレイン 5 1 (図 1 参照) 及び多数のシリコン微結晶 6 3 (図 1 参照) を含んでいる。陽極酸化処理工程では、5 5 w t % のフッ化水素水溶液とエタノールとを略 1 : 1 で混合した混合液からなる電解液の入った処理槽を用いる。そして、5 0 0 W のタングステンランプからなる光源により、多結晶シリコン層 3 の表面に光照射を行いながら、下部電極 1 2 と白金電極からなる陰極との間に電流を流す。これにより、多結晶シリコン層 3 を主表面から所定深さ (実施の形態 6 では、下部電極 1 2 に達しない深さに設定してあるが、下部電極 1 2 に達する深さに設定してもよい) まで多孔質化する。

陽極酸化処理工程を終了した後、エタノールによるリンスを行ってから、多孔質多結晶シリコン層 4 に含まれている各グレイン 5 1 及び各シリコン微結晶 6 3 の表面に絶縁膜 5 2、6 4 を形成する絶縁膜形成工程を行う。これにより、グレイン 5 1、シリコン微結晶 6 3 及び各絶縁膜 5 2、6 4 を含むドリフト層 6 が形成され、図 2 5 C に示す構造が得られる。なお、絶縁膜形成工程については後述する。

ドリフト層 6 を形成した後、金属材料 (例えば、金) からなる表面電極 7 を、蒸着法などにより形成し、図 2 5 D に示す構造の電子源 1 0 を得る。実施の形態 6 では、表面電極 7 を蒸着法により形成している。しかし、表面電極 7 の形成方法は蒸着法に限定されるものではなく、例えばスパッタ法を用いてもよい。

絶縁膜形成工程では、酸化処理と、窒化処理とを行う。酸化処理では、各シリコン微結晶 6 3 へのダメージの発生を抑制可能な処理で、各シリコン微結晶 6 3 の表面に電子のトンネリング現象が発生する膜厚 (シリコン微結晶 6 3 の結晶粒径よりも小さな膜厚) 程度の酸化膜 (シリコン酸化膜) を形成する。窒化処理では、各シリコン微結晶 6 3 へのダメージの発生を抑制可能な処理で、各酸化膜 (シリコン酸化膜) の膜質を改善する。

酸化処理は、急速熱酸化法により各シリコン微結晶 6 3 へのダメージの発生を

抑制可能な熱処理時間（以下、「第１の規定の熱処理時間」という。）で各シリコン微結晶 6 3 の表面に電子のトンネリング現象が発生する膜厚程度の酸化膜を形成する酸化工程からなる。この酸化工程では、ランプアニール装置を用い、例えば酸素ガス雰囲気中において第１の規定の熱処理温度（例えば、 $900^{\circ}\text{C}$ ）で、  
5 第１の規定の熱処理時間（例えば、５分）だけ酸化を行う。すなわち、第１の規定の熱処理時間は、従来の急速熱酸化法による酸化工程での所定の熱処理時間（１時間）に比べて、大幅に短縮している。第１の規定の熱処理時間は、製造した電子源 1 0 の電子放出特性の測定結果から、５分以内に設定するのが望ましいことを確認している。ただし、第１の規定の熱処理温度まで基板温度を上昇させる昇温期間の昇温速度は  $20^{\circ}\text{C}/\text{sec}$  以上、望ましくは  $150^{\circ}\text{C}/\text{sec}$  以上  
10 に設定する。

窒化処理は、急速熱窒化法により各シリコン微結晶 6 3 へのダメージの発生を抑制可能な熱処理時間（以下、「第２の規定の熱処理時間」という。）で各酸化膜を窒化する窒化工程からなる。この窒化工程では、ランプアニール装置を用い、  
15 例えば  $\text{N}_2\text{O}$  ガス雰囲気中において、第２の規定の熱処理温度（例えば、 $900^{\circ}\text{C}$ ）で第２の規定の熱処理時間（例えば、５分）だけ窒化を行う。第２の規定の熱処理時間は、製造した電子源 1 0 の電子放出特性の測定結果から、５分以内に設定することが望ましいことを確認している。ただし、第２の規定の熱処理温度まで基板温度を上昇させる昇温期間の昇温速度は  $20^{\circ}\text{C}/\text{sec}$  以上、望ましくは  $150^{\circ}\text{C}/\text{sec}$  以上に設定する。実施の形態 6 では、窒化工程で  $\text{N}_2\text{O}$  ガスを用いているので、各酸化膜の窒化と同時に酸化も進む。その結果、各絶縁膜 5 2、6 4 は、酸窒化膜（シリコン酸窒化膜）となる。窒化工程で用いるガスは  $\text{N}_2\text{O}$  ガスに限られず、例えば  $\text{NO}$  ガス、 $\text{NH}_3$  ガス、 $\text{N}_2$  ガスなど窒素を含むガスを  
20 用いてもよい。

25 この製造方法によれば、絶縁膜 5 2、6 4 を形成する絶縁膜形成工程において、各シリコン微結晶 6 3 へのダメージの発生を抑制可能な処理で各シリコン微結晶 6 3 の表面に電子のトンネリング現象が発生する膜厚程度の酸化膜を形成する。かつ、グレイン 5 1 の表面に酸化膜を形成し、各シリコン微結晶 6 3 へのダメージの発生を抑制可能な処理で各酸化膜を窒化して膜質を改善する。このため、従

来のように急速熱酸化法により比較的長い熱処理時間（例えば、1時間）で各絶縁膜52、64を形成する場合に比べて、電子放出特性の経時安定性が向上する。しかも、各絶縁膜52、64の形成に伴う高温での熱処理時間を短縮できる。このため、図40に示す従来の電子源10”のように下部電極12をガラス基板のような絶縁性基板11上に形成する場合に、ガラス基板として石英ガラス基板に比べて比較的安価な無アルカリガラス基板や低アルカリガラス基板などの耐熱温度が比較的低いガラス基板を用いることが可能となり、低コスト化を図ることができる。実施の形態6では、酸化処理と窒化処理とを同一装置内で行うことができるので、酸化処理と窒化処理との間で不純物が付着するのを防止することができる。

図26と図27とに、それぞれ、上述の製造方法で製造した電子源10の電子放出特性と、電子放出特性の経時変化とを測定した結果を示す。

図28と図29とに、それぞれ、絶縁膜形成工程において急速熱窒化法のみを用いて、熱処理温度を900℃とし、熱処理時間を5分とした比較例1にかかる電子源の電子放出特性と、電子放出特性の経時変化とを測定した結果を示す。

図30と図31とに、それぞれ、絶縁膜形成工程において急速熱窒化法のみを用いて、熱処理温度を900℃とし、熱処理時間を60分とした比較例2にかかる電子源の電子放出特性と、電子放出特性の経時変化とを測定した結果を示す。

電子源10及び比較例1、2にかかる電子源の電子放出特性の測定は、次のようにして行った。すなわち、真空チャンバ（図示せず）内に、電子源10ないし比較例1、2にかかる電子源を導入した。そして、図38に示すように、表面電極7に対向してコレクタ電極21を配置した。さらに、表面電極7を下部電極12に対して高電位として直流電圧 $V_{ps}$ を印加するとともに、コレクタ電極21を表面電極7に対して高電位として直流電圧 $V_c$ を印加した。

図26、図28及び図30は、それぞれ、直流電圧 $V_c$ を100Vで一定とし、真空チャンバ内の真空度を $5 \times 10^{-5}$  Paとしたときにおける電子放出特性の測定結果を示したものである。これらの図において、横軸は直流電圧 $V_{ps}$ を示し、縦軸は電流密度を示している。「P」はダイオード電流 $I_{ps}$ の電流密度を示し、「Q」はエミッション電流 $I_e$ の電流密度を示している。

図 27、図 29 及び図 31 は、それぞれ、直流電圧  $V_c$  を 100 V で一定とし、真空チャンバ内の真空度を  $5 \times 10^{-5}$  Pa としたときにおける電子放出特性の経時変化の測定結果を示したものである。これらの図において、横軸は駆動開始からの経過時間を示し、左側の縦軸は電流密度を示し、右側の縦軸は電子放出効率を示している。「P」はダイオード電流  $I_{ps}$  の電流密度を示し、「Q」はエミシ  
5 ション電流  $I_e$  の電流密度を示し、「R」は電子放出効率を示している。ただし、図 27 は、直流電圧  $V_{ps}$  を 15 V で一定とした場合の測定結果である。図 29 は、直流電圧  $V_{ps}$  を 11 V で一定とした場合の測定結果である。図 31 は、直流電圧  $V_{ps}$  を 15 V で一定とした場合の測定結果である。

10 図 26 ～図 31 によれば、実施の形態 6 にかかる電子源 10 では、比較例 1、2 にかかる電子源に比べて、電子放出特性の経時安定性が向上していることが分かる。

実施の形態 6 では、n 形シリコン基板 1 とオーミック電極 2 とで下部電極 12  
15 を構成している。しかし、絶縁性基板（例えば、ガラス基板、セラミック基板など）の一表面側に、金属材料や高濃度ドーパされた多結晶シリコン層からなる下部電極 12 を形成してもよい。また、n 形シリコン基板 1 の表面側の一部を陽極酸化処理工程で多孔質化することにより、多孔質半導体層である多孔質シリコン層を形成し、この多孔質シリコン層に対して絶縁膜形成工程を行うようにしてもよい。

20 （実施の形態 7）

以下、本発明の実施の形態 7 を説明する。実施の形態 7 にかかる電子源の製造方法は、実施の形態 6 にかかる電子源の製造方法と、絶縁膜形成工程が相違するだけである。そこで、以下では、主として絶縁膜形成工程を説明する。なお、実施の形態 7 においても、実施の形態 6 と同様に、絶縁膜形成工程では、酸化処理  
25 と、窒化処理とを行う。

実施の形態 7 における酸化処理は、酸化工程とアニール工程とからなる。酸化工程では、電気化学的な方法により各シリコン微結晶 63 の表面に酸化膜を形成する。アニール工程は、酸化工程の後で実施され、各酸化膜をアニールする。

具体的には、酸化工程では、陽極酸化処理工程の終了後に、エタノールによる

リンスを行う。そして、所定濃度（例えば  $1 \text{ mol/l} = 1 \text{ M}$ ）の硫酸水溶液の入った処理槽を用いて、下部電極 12 と白金電極からなる陰極との間に定電圧を印加する電気化学的な方法を利用する。これにより、各グレイン 51 及び各シリコン微結晶 63 の表面に、電子のトンネリング現象が発生する膜厚程度の酸化膜を形成する。酸化工程で用いる電解液は、硫酸水溶液に限られず、例えば、硝酸水溶液、王水などを用いてもよい。あるいは、有機溶媒中に溶質を溶かした電解液を用いてもよい。

アニール工程では、例えばランプアニール装置を用いて（通常の炉でもかまわない）、例えば  $\text{N}_2\text{O}$  ガス雰囲気中において所定のアニール温度（例えば、 $450^\circ\text{C}$ ）で所定のアニール時間（例えば、1 時間）だけアニールを行う。アニール温度は、 $700^\circ\text{C}$  以下に設定すればよく、 $600^\circ\text{C}$  以下に設定するのが好ましい。電気化学的な方法によれば、酸化膜は室温で形成することができる。このため、アニール温度を  $700^\circ\text{C}$  以下に設定することにより、実施の形態 6 に比べて、酸化工程における高温（例えば、 $900^\circ\text{C}$ ）での熱処理をなくすることができる。また、アニール温度を  $700^\circ\text{C}$  以下に設定することにより、図 40 に示す従来の電子源 10” のように下部電極 12 をガラス基板などの絶縁性基板 11 上に形成する場合に、酸化工程がガラス基板に与える影響をなくすることができる。

窒化処理は、急速熱窒化法により、各シリコン微結晶 63 へのダメージの発生を抑制可能な熱処理時間（以下、実施形態 1 と同様に第 2 の規定の熱処理時間と称す）で各酸化膜を窒化する窒化工程からなる。窒化工程では、ランプアニール装置を用い、例えば  $\text{N}_2\text{O}$  ガス雰囲気中において第 2 の規定の熱処理温度（例えば、 $900^\circ\text{C}$ ）で、第 2 の規定の熱処理時間（例えば、5 分）だけ窒化を行う。第 2 の規定の熱処理時間は、製造した電子源 10 の電子放出特性の測定結果から 5 分以内に設定することが望ましいことを確認している。ただし、第 2 の規定の熱処理温度まで基板温度を上昇させる昇温期間の昇温速度は  $20^\circ\text{C}/\text{sec}$  以上、望ましくは  $150^\circ\text{C}/\text{sec}$  以上に設定する。実施の形態 7 では、窒化工程で  $\text{N}_2\text{O}$  ガスを用いているので、各酸化膜の窒化と同時に酸化も進む。その結果、各絶縁膜 52、64 は酸窒化膜（シリコン酸窒化膜）となる。窒化工程で用いるガスは  $\text{N}_2\text{O}$  ガスに限られず、例えば  $\text{NO}$  ガス、 $\text{NH}_3$  ガス、 $\text{N}_2$  ガスなど窒素を含

むガスをを用いてもよい。

実施の形態 7 にかかる電子源 10 の製造方法によれば、実施の形態 6 と同様の作用・効果が得られる。すなわち、この製造方法では、絶縁膜形成工程において、各シリコン微結晶 63 へのダメージの発生を抑制可能な処理で、各シリコン微結晶 63 の表面に電子のトンネリング現象が発生する膜厚程度の酸化膜を形成する。かつ、グレイン 51 の表面に酸化膜を形成し、各シリコン微結晶 63 へのダメージの発生を抑制可能な処理で各酸化膜を窒化して膜質を改善する。このため、従来の電子源のように急速熱酸化法により比較的長い熱処理時間（例えば、1 時間）で各絶縁膜 52、64 を形成する場合に比べて、電子放出特性の経時安定性が向上する。しかも、各絶縁膜 52、64 の形成に伴う高温での熱処理時間を短縮化することができる。このため、図 40 に示す従来の電子源 10” のように下部電極 12 をガラス基板などの絶縁性基板 11 上に形成する場合に、ガラス基板として比較的安価な無アルカリガラス基板や低アルカリガラス基板などを用いることが可能となり、低コスト化を図ることができる。また、実施の形態 1 に比べて、絶縁膜形成工程における高温（例えば、900℃）での熱処理時間をさらに短縮化することができる。さらに、各シリコン微結晶 63 を湿式の陽極酸化処理により形成しているので、陽極酸化処理の後に大気中に曝すことなく、酸化工程で各シリコン微結晶 63 及び各グレイン 51 の表面に酸化膜を形成することが可能になる。このため、各シリコン微結晶 63 及びグレイン 51 の表面に自然酸化膜が形成されるのを防止することができる。これにより、酸化工程で各シリコン微結晶 63 及び各グレイン 51 の表面に良質な酸化膜を形成することが可能となる。

図 32 と図 33 とに、それぞれ、実施の形態 7 にかかる製造方法で製造した電子源 10 の電子放出特性と、電子放出特性の経時変化とを測定した結果を示す。

実施の形態 7 にかかる電子源 10 の電子放出特性の測定は、次のようにして行った。すなわち、真空チャンバ（図示せず）内に電子源 10 を導入する。そして、図 38 に示すように、表面電極 7 に対向してコレクタ電極 21 を配置する。さらに、表面電極 7 を下部電極 12 に対して高電位として直流電圧  $V_{ps}$  を印加するとともに、コレクタ電極 21 を表面電極 7 に対して高電位として直流電圧  $V_c$  を印



加する。

図 3 2 は、直流電圧  $V_c$  を 100 V で一定とし、真空チャンバ内の真空度を  $5 \times 10^{-5}$  Pa としたときにおける電子放出特性の測定結果を示している。図 3 2 において、横軸は直流電圧  $V_{ps}$  を示し、縦軸は電流密度を示している。また、  
5 「P」はダイオード電流  $I_{ps}$  の電流密度を示し、「Q」はエミッション電流  $I_e$  の電流密度を示している。

図 3 3 は、直流電圧  $V_c$  を 100 V で一定とし、直流電圧  $V_{ps}$  を 16 V で一定とし、真空チャンバ内の真空度を  $5 \times 10^{-5}$  Pa としたときにおける電子放出特性の経時変化の測定結果を示している。図 3 3 において、横軸は駆動開始からの経過時間を示し、左側の縦軸は電流密度を示し、右側の縦軸は電子放出効率を示している。また、「P」はダイオード電流  $I_{ps}$  の電流密度を示し、「Q」はエミッション電流  $I_e$  の電流密度を示し、「R」は電子放出効率を示している。  
10

図 3 2 及び図 3 3 と、実施の形態 6 で説明した比較例 1、2 に関する測定結果を示す図 2 8 ～図 3 1 とによれば、実施の形態 7 にかかる電子源 10 では、比較例 1、2 にかかる電子源に比べて、電子放出特性の経時安定性が向上していることが分かる。  
15

#### (実施の形態 8)

以下、本発明の実施の形態 8 を説明する。実施の形態 8 にかかる電子源の製造方法は、実施の形態 6 にかかる電子源の製造方法と、絶縁膜形成工程が相違する  
20 だけである。そこで、以下では、主として絶縁膜形成工程を説明する。なお、実施の形態 8 においても、実施の形態 6 と同様に、絶縁膜形成工程では、酸化処理と、窒化処理とを行う。

実施の形態 8 における酸化処理は、第 1 の酸化工程と、アニール工程と、第 2 の酸化工程とからなる。第 1 の酸化工程では、電気化学的な方法により各シリコン微結晶 6 3 の表面に酸化膜を形成する。アニール工程は、第 1 の酸化工程の後で実施され、各酸化膜をアニールする。第 2 の酸化工程は、アニール工程の後で実施され、急速熱酸化法により各シリコン微結晶 6 3 へのダメージの発生を抑制可能な熱処理時間で各酸化膜をさらに酸化する。  
25

具体的には、第 1 の酸化工程では、陽極処理工程の終了後に、エタノールによ

るリンスを行う。そして、所定濃度（例えば  $1 \text{ mol/l} = 1 \text{ M}$ ）の硫酸水溶液の入った処理槽を用いて、下部電極 12 と白金電極からなる陰極との間に定電圧を印加する電気化学的な方法を利用する。これにより、各グレイン 51 及び各シリコン微結晶 63 の表面に電子のトンネリング現象が発生する膜厚程度の酸化膜を形成する。第 1 の酸化工程で用いる電解液は硫酸水溶液に限られず、例えば、硝酸水溶液、王水などを用いてもよい。あるいは、有機溶媒中に溶質を溶かした電解液を用いてもよい。

アニール工程では、例えばランプアニール装置を用いて（通常の炉でもかまわない）、例えば  $\text{N}_2\text{O}$  ガス雰囲気中において所定のアニール温度（例えば、 $450^\circ\text{C}$ ）で所定のアニール時間（例えば、1 時間）だけアニールを行う。アニール温度は、 $700^\circ\text{C}$  以下に設定すればよく、 $600^\circ\text{C}$  以下に設定するのが好ましい。アニール温度を  $700^\circ\text{C}$  以下に設定することにより、図 40 に示す従来の電子源 10” のように下部電極 12 をガラス基板などの絶縁性基板 11 上に形成する場合に、アニール工程がガラス基板に与える影響をなくすることができる。

第 2 の酸化工程では、ランプアニール装置を用いて、例えば酸素ガス雰囲気中において第 1 の規定の熱処理温度（例えば、 $900^\circ\text{C}$ ）で第 1 の規定の熱処理時間（例えば、5 分）だけ酸化を行う。第 1 の規定の熱処理時間は、従来の急速熱酸化法による酸化工程での所定の熱処理時間（1 時間）に比べて、大幅に短縮している。第 1 の規定の熱処理時間は、製造した電子源 10 の電子放出特性の測定結果から、5 分以内に設定することが望ましいことを確認している。ただし、第 1 の規定の熱処理温度まで基板温度を上昇させる昇温期間の昇温速度は  $20^\circ\text{C}/\text{sec}$  以上、望ましくは  $150^\circ\text{C}/\text{sec}$  以上に設定する。

窒化処理は、急速熱窒化法により各シリコン微結晶 63 へのダメージの発生を抑制可能な熱処理時間（すなわち、第 2 の規定の熱処理時間）で各酸化膜を窒化する窒化工程からなる。この窒化工程では、ランプアニール装置を用い、例えば  $\text{N}_2\text{O}$  ガス雰囲気中において第 2 の規定の熱処理温度（例えば、 $900^\circ\text{C}$ ）で第 2 の規定の熱処理時間（例えば、5 分）だけ窒化を行う。第 2 の規定の熱処理時間は、製造した電子源 10 の電子放出特性の測定結果から 5 分以内に設定することが望ましいことを確認している。ただし、第 2 の規定の熱処理温度まで基板温

度を上昇させる昇温期間の昇温速度は $20^{\circ}\text{C}/\text{sec}$ 以上、望ましくは $150^{\circ}\text{C}/\text{sec}$ 以上に設定する。実施の形態8では、窒化工程で $\text{N}_2\text{O}$ ガスを用いているので、各酸化膜の窒化と同時に酸化も進む。その結果、各絶縁膜52、64は酸窒化膜（シリコン酸窒化膜）になる。窒化工程で用いるガスは、 $\text{N}_2\text{O}$ ガスに限られず、例えば $\text{NO}$ ガス、 $\text{NH}_3$ ガス、 $\text{N}_2$ ガスなど窒素を含むガスを用いてもよい。

実施の形態8にかかる製造方法によれば、実施の形態6と同様の作用・効果が得られる。すなわち、絶縁膜形成工程において、各シリコン微結晶63へのダメージの発生を抑制可能な処理で各シリコン微結晶63の表面に電子のトンネリング現象が発生する膜厚程度の酸化膜を形成するとともに、グレイン51の表面に酸化膜を形成する。そして、各シリコン微結晶63へのダメージの発生を抑制可能な処理で各酸化膜を窒化して膜質を改善する。このため、従来のように急速熱酸化法により比較的長い熱処理時間（例えば、1時間）で各絶縁膜52、64を形成する場合に比べて、電子放出特性の経時安定性が向上する。しかも、各絶縁膜52、64の形成に伴う高温での熱処理時間を短縮化することができる。このため、図40に示す従来の電子源10”のように下部電極12をガラス基板などの絶縁性基板11上に形成する場合に、ガラス基板として比較的安価な無アルカリガラス基板や低アルカリガラス基板など用いることが可能となり、低コスト化を図ることができる。また、実施の形態7にかかる製造方法と比べて、各絶縁膜52、64中の欠陥を低減することができ、電子放出特性を向上させることができる。また、各シリコン微結晶63を湿式の陽極酸化処理により形成するので、陽極酸化処理の後に大気中に曝すことなく、第1の酸化工程で各シリコン微結晶63及び各グレイン51の表面に酸化膜を形成することが可能になる。このため、各シリコン微結晶63及びグレイン51の表面に自然酸化膜が形成されるのを防止することができる。よって、第1の酸化工程で各シリコン微結晶63及び各グレイン51の表面に良質な酸化膜を形成することが可能になる。

（実施の形態9）

以下、本発明の実施の形態9を説明する。実施の形態9にかかる電子源の製造方法は、実施の形態6にかかる電子源の製造方法と、絶縁膜形成工程が相違する

だけである。そこで、以下では、主として絶縁膜形成工程を説明する。なお、実施の形態 9 においても、実施の形態 6 と同様に、絶縁膜形成工程では、酸化処理と、アニール処理とを行う。

実施の形態 9 における酸化処理は、電気化学的な方法により各シリコン微結晶 6 3 の表面に酸化膜を形成する酸化工程からなる。酸化工程では、陽極処理工程の終了後にエタノールによるリンスを行う。そして、所定濃度（例えば  $1 \text{ mol} / 1 = 1 \text{ M}$ ）の硫酸水溶液の入った処理槽を用いて、下部電極 1 2 と白金電極からなる陰極との間に定電圧を印加する電気化学的な方法を利用する。これにより各グレイン 5 1 及び各シリコン微結晶 6 3 の表面に電子のトンネリング現象が発生する膜厚程度の酸化膜を形成する。酸化工程で用いる電解液は、硫酸水溶液に限られず、例えば、硝酸水溶液、王水などを用いてもよい。あるいは、有機溶媒中に溶質を溶かした電解液を用いてもよい。

アニール処理は、窒化ガス雰囲気中で各酸化膜をアニールするアニール工程からなる。アニール工程では、例えばランプアニール装置を用いて（通常の炉でもかまわない）、例えば  $\text{N}_2\text{O}$  ガス雰囲気中において所定のアニール温度（例えば、 $450^\circ\text{C}$ ）で所定のアニール時間（例えば、1 時間）だけアニールを行う。アニール温度は、 $700^\circ\text{C}$  以下に設定すればよく、 $600^\circ\text{C}$  以下に設定するのが好ましい。アニール温度を  $700^\circ\text{C}$  以下に設定することにより、図 4 0 に示す従来の電子源 1 0” のように下部電極 1 2 をガラス基板などの絶縁性基板 1 1 上に形成する場合に、アニール工程がガラス基板に与える影響をなくすることができる。

実施の形態 9 にかかる電子源 1 0 の製造方法によれば、基本的には、実施形態 6 と同様の作用・効果が得られる。すなわち、絶縁膜形成工程において、各シリコン微結晶 6 3 へのダメージの発生を抑制可能な処理で各シリコン微結晶 6 3 の表面に電子のトンネリング現象が発生する膜厚程度の酸化膜を形成するとともに、グレイン 5 1 の表面に酸化膜を形成する。そして、各シリコン微結晶 6 3 へのダメージの発生を抑制可能な処理で各酸化膜の欠陥補償を行い膜質を改善する。このため、従来のように急速熱酸化法により比較的長い熱処理時間（例えば、1 時間）で各絶縁膜 5 2、6 4 を形成する場合に比べて、電子放出特性の経時安定性が向上する。しかも、各絶縁膜 5 2、6 4 の形成に伴う高温での熱処理時間を短

縮化することができる。このため、図40に示す従来の電子源10”のように下部電極12をガラス基板などの絶縁性基板11上に形成する場合に、ガラス基板として比較的安価な無アルカリガラス基板や低アルカリガラス基板などを用いることが可能となり、低コスト化を図ることができる。また、実施の形態7にかかる製造方法に比べて、各絶縁膜52、64中の欠陥を低減することができ、電子放出特性を向上させることができる。また、各シリコン微結晶63を湿式の陽極酸化処理により形成しているので、陽極酸化処理の後に大気中に曝すことなく、酸化工程で各シリコン微結晶63及び各グレイン51の表面に酸化膜を形成することが可能になる。このため、各シリコン微結晶63及びグレイン51の表面に自然酸化膜が形成されるのを防止することができる。よって、酸化工程で各シリコン微結晶63及び各グレイン51の表面に良質な酸化膜を形成することが可能となる。

(実施の形態10)

以下、本発明の実施の形態10を説明する。実施の形態10にかかる電子源の製造方法は、実施の形態6にかかる電子源の製造方法と、絶縁膜形成工程が相違するだけである。そこで、以下では、主として絶縁膜形成工程を説明する。なお、実施の形態10においても、実施の形態6と同様に、絶縁膜形成工程では、酸化処理と、窒化処理とを行う。

実施の形態10における酸化処理は、電気化学的な方法により各シリコン微結晶63の表面に酸化膜を形成する第1の酸化工程からなる。第1の酸化工程では、陽極処理工程の終了後に、エタノールによるリンスを行う。そして、所定濃度（例えば $1\text{ mol/l} = 1\text{ M}$ ）の硫酸水溶液の入った処理槽を用いて、下部電極12と白金電極からなる陰極との間に定電圧を印加する電気化学的な方法を利用する。これにより、各グレイン51及び各シリコン微結晶63表面に電子のトンネリング現象が発生する膜厚程度の酸化膜を形成する。第1の酸化工程で用いる電解液は、硫酸水溶液に限られず、例えば、硝酸水溶液、王水などを用いてもよい。あるいは、有機溶媒中に溶質を溶かした電解液を用いてもよい。

また、アニール処理は、窒化ガス雰囲気中で各酸化膜をアニールするアニール工程からなる。アニール工程では、例えばランプアニール装置を用いて（通常の

炉でもかまわない)、例えば $N_2O$ ガス雰囲気中において所定のアニール温度

(例えば、 $450^{\circ}C$ )で所定のアニール時間(例えば、1時間)だけアニールを行う。アニール温度は、 $700^{\circ}C$ 以下に設定すればよく、 $600^{\circ}C$ 以下に設定するのが好ましい。アニール温度を $700^{\circ}C$ 以下に設定することにより、図40に示す従来の電子源10”のように下部電極12をガラス基板などの絶縁性基板11上に形成する場合に、アニール工程がガラス基板に与える影響をなくすることができる。

実施の形態10にかかる製造方法における絶縁膜形成工程は、アニール処理の後で急速熱酸化法により各シリコン微結晶63へのダメージの発生を抑制可能な熱処理時間で各酸化膜をさらに酸化する第2の酸化工程と、第2の酸化工程の後で急速熱窒化法により各シリコン微結晶63へのダメージの発生を抑制可能な熱処理時間で各酸化膜を窒化する窒化工程とを有している。

第2の酸化工程では、ランプアニール装置を用い、例えば酸素ガス雰囲気中において第1の規定の熱処理温度(例えば、 $900^{\circ}C$ )で第1の規定の熱処理時間(例えば、5分)だけ酸化を行う。第1の規定の熱処理時間は、従来の急速熱酸化法による酸化工程での所定の熱処理時間(1時間)に比べて大幅に短縮している。第1の規定の熱処理時間は、製造した電子源10の電子放出特性の測定結果から、5分以内に設定することでが望ましいことを確認している。ただし、第1の規定の熱処理温度まで基板温度を上昇させる昇温期間の昇温速度は $20^{\circ}C/sec$ 以上、望ましくは $150^{\circ}C/sec$ 以上に設定する。

窒化工程は、急速熱窒化法により各シリコン微結晶63へのダメージの発生を抑制可能な熱処理時間(すなわち、第2の規定の熱処理時間)で各酸化膜を窒化する工程からなる。この窒化工程では、ランプアニール装置を用い、例えば $N_2O$ ガス雰囲気中において第2の規定の熱処理温度(例えば、 $900^{\circ}C$ )で第2の規定の熱処理時間(例えば、5分)だけ窒化を行う。第2の規定の熱処理時間は、製造した電子源10の電子放出特性の測定結果から、5分以内に設定することでが望ましいことを確認している。ただし、第2の規定の熱処理温度まで基板温度を上昇させる昇温期間の昇温速度は $20^{\circ}C/sec$ 以上、望ましくは $150^{\circ}C/sec$ 以上に設定する。実施の形態10では、窒化工程で $N_2O$ ガスを利用して

いるので、各酸化膜の窒化と同時に酸化も進む。その結果、各絶縁膜52、64は酸窒化膜（シリコン酸窒化膜）となる。窒化工程で用いるガスは、 $N_2O$ ガスに限られず、例えばNOガス、 $NH_3$ ガス、 $N_2$ ガスなど窒素を含むガスを用いてもよい。

5 実施の形態10にかかる製造方法によれば、基本的には、実施形態6と同様の作用・効果が得られる。すなわち、絶縁膜形成工程で、各シリコン微結晶63へのダメージの発生を抑制可能な処理で各シリコン微結晶63の表面に電子のトンネリング現象が発生する膜厚程度の酸化膜を形成するとともに、グレイン51の表面に酸化膜を形成する。そして、各シリコン微結晶63へのダメージの発生を抑制可能な処理で各酸化膜を窒化して膜質を改善する。このため、従来のように急速熱酸化法により比較的長い熱処理時間（例えば、1時間）で各絶縁膜52、64を形成する場合に比べて、電子放出特性の経時安定性が向上する。しかも、各絶縁膜52、64の形成に伴う高温での熱処理時間を短縮化することができる。このため、図40に示す従来の電子源10”のように下部電極12をガラス基板などの絶縁性基板11上に形成する場合に、ガラス基板として比較的安価な無アルカリガラス基板や低アルカリガラス基板などを用いることが可能となり、低コスト化を図ることができる。また、実施の形態7にかかる製造方法と比べて、各絶縁膜52、64中の欠陥を低減することができ、電子放出特性を向上させることができる。また、各シリコン微結晶63を湿式の陽極酸化処理により形成している

10 15 20

るので、陽極酸化処理の後に大気中に曝すことなく、第1の酸化工程で各シリコン微結晶63及び各グレイン51の表面に酸化膜を形成することが可能になる。このため、各シリコン微結晶63及びグレイン51の表面に自然酸化膜が形成されるのを防止することができる。よって、第1の酸化工程で各シリコン微結晶63及び各グレイン51の表面に良質な酸化膜を形成することが可能となる。

25 図34と図35とに、それぞれ、実施の形態10にかかる製造方法で製造した電子源10の電子放出特性と、電子放出特性の経時変化とを測定した結果を示す。

電子源10の電子放出特性の測定は、次のようにして行った。すなわち、真空チャンバ（図示せず）内に電子源10を導入する。そして、図38に示すように、表面電極7に対向してコレクタ電極21を配置する。さらに、表面電極7を下部

電極 1 2 に対して高電位として直流電圧  $V_{ps}$  を印加するとともに、コレクタ電極 2 1 を表面電極 7 に対して高電位として直流電圧  $V_c$  を印加する。

図 3 4 は、直流電圧  $V_c$  を 100 V で一定とし、真空チャンバ内の真空度を  $5 \times 10^{-5}$  Pa としたときにおける電子放出特性の測定結果を示している。図 3 4  
5 において、横軸は直流電圧  $V_{ps}$  を示し、縦軸は電流密度を示している。また、「P」はダイオード電流  $I_{ps}$  の電流密度を示し、「Q」はエミッション電流  $I_e$  の電流密度を示している。

図 3 5 は、直流電圧  $V_c$  を 100 V で一定とし、直流電圧  $V_{ps}$  を 15 V で一定とし、真空チャンバ内の真空度を  $5 \times 10^{-5}$  Pa としたときにおける電子放出特性の経時変化の測定結果を示している。図 3 5 において、横軸は駆動開始からの経過時間を示し、左側の縦軸は電流密度を示し、右側の縦軸は電子放出効率を示している。また、「P」がダイオード電流  $I_{ps}$  の電流密度を示し、「Q」はエミ  
10 シッション電流  $I_e$  の電流密度を示し、「R」は電子放出効率を示している。

図 3 4 及び図 3 5 と、実施の形態 6 で説明した比較例 1、2 に関する測定結果を示す図 2 8 ～図 3 1 とによれば、実施の形態 10 にかかる電子源 10 では、比較例 1、2 にかかる電子源に比べて、電子放出特性の経時安定性が向上していることが分かる。

#### (実施の形態 11)

以下、本発明の実施の形態 11 を説明する。実施の形態 11 にかかる電子源の製造方法は、実施の形態 6 にかかる電子源の製造方法と、絶縁膜形成工程が相違するだけである。そこで、以下では、主として絶縁膜形成工程を説明する。なお、実施の形態 11 においても、実施の形態 6 と同様に、絶縁膜形成工程では、酸化処理と、窒化処理とを行う。

実施の形態 11 における酸化処理は、電気化学的な方法により各シリコン微結晶 6 3 の表面に酸化膜を形成する第 1 の酸化工程からなる。第 1 の酸化工程では、陽極処理工程の終了後に、エタノールによるリンスを行う。そして、所定濃度  
25

(例えば  $1 \text{ mol/l} = 1 \text{ M}$ ) の硫酸水溶液の入った処理槽を用いて、下部電極 1 2 と白金電極からなる陰極との間に定電圧を印加する電気化学的な方法を利用する。これにより、各グレイン 5 1 及び各シリコン微結晶 6 3 の表面に電子のト



ンネリング現象が発生する膜厚程度の酸化膜を形成する。第1の酸化工程で用いる電解液は、硫酸水溶液に限られず、例えば、硝酸水溶液、王水などを用いてもよい。あるいは、有機溶媒中に溶質を溶かした電解液を用いてもよい。

窒化処理は、窒化ガス雰囲気中で各酸化膜をアニールするアニール工程と、アニール工程の後で急速熱窒化法により各シリコン微結晶63へのダメージの発生を抑制可能な熱処理時間で各酸化膜を窒化する窒化工程とからなる。

アニール工程では、例えばランプアニール装置を用いて（通常の炉でもかまわない）、例えば $N_2O$ ガス雰囲気中において所定のアニール温度（例えば、450℃）で所定のアニール時間（例えば、1時間）だけアニールを行う。アニール温度は、700℃以下に設定すればよく、600℃以下に設定するのが好ましい。アニール温度を700℃以下に設定することにより、図40に示す従来の電子源10のように下部電極12をガラス基板などの絶縁性基板11上に形成する場合に、アニール工程がガラス基板に与える影響をなくすることができる。

窒化工程では、ランプアニール装置を用いて、例えば $N_2O$ ガス雰囲気中において第2の規定の熱処理温度（例えば、900℃）で第2の規定の熱処理時間（例えば、5分）だけ窒化を行う。第2の規定の熱処理時間は、製造した電子源10の電子放出特性の測定結果から、5分以内に設定することが望ましいことを確認している。ただし、第2の規定の熱処理温度まで基板温度を上昇させる昇温期間の昇温速度は20℃/sec以上、望ましくは150℃/sec以上に設定する。実施の形態11では、窒化工程で $N_2O$ ガスを利用しているので、各酸化膜の窒化と同時に酸化も進む。その結果、各絶縁膜52、64は酸窒化膜（シリコン酸窒化膜）となる。窒化工程で用いるガスは、 $N_2O$ ガスに限られず、例えばNOガス、 $NH_3$ ガス、 $N_2$ ガスなど窒素を含むガスを用いてもよい。

実施の形態11にかかる電子源10の製造方法によれば、基本的には、実施の形態6の場合と同様の作用・効果が得られる。すなわち、絶縁膜形成工程で、各シリコン微結晶63へのダメージの発生を抑制可能な処理で各シリコン微結晶63の表面に電子のトンネリング現象が発生する膜厚程度の酸化膜を形成するとともに、グレイン51の表面に酸化膜を形成する。そして、各シリコン微結晶63へのダメージの発生を抑制可能な処理で各酸化膜を窒化して膜質を改善する。こ

のため、従来のように急速熱酸化法により比較的長い熱処理時間（例えば、1時間）で各絶縁膜52、64を形成する場合に比べて、電子放出特性の経時安定性が向上する。しかも、各絶縁膜52、64の形成に伴う高温での熱処理時間を短縮化することができる。このため、図40に示す従来の電子源10”のように下部電極12をガラス基板などの絶縁性基板11上に形成する場合に、ガラス基板として比較的安価な無アルカリガラス基板や低アルカリガラス基板などを用いることが可能となり、低コスト化を図ることができる。また、実施の形態7にかかる製造方法に比べて、各絶縁膜52、64中の欠陥を低減することができ、電子放出特性を向上させることができる。また、各シリコン微結晶63を湿式の陽極酸化処理により形成しているので、陽極酸化処理の後に大気中に曝すことなく、第1の酸化工程で各シリコン微結晶63及び各グレイン51の表面に酸化膜を形成することが可能になる。このため、各シリコン微結晶63及びグレイン51の表面に自然酸化膜が形成されるのを防止することができる。よって、第1の酸化工程で各シリコン微結晶63及び各グレイン51の表面に良質な酸化膜を形成することが可能となる。

（実施の形態12）

以下、本発明の実施の形態12を説明する。実施の形態12にかかる電子源の製造方法は、実施の形態6にかかる電子源の製造方法と、絶縁膜形成工程が相違するだけである。そこで、以下では、主として絶縁膜形成工程を説明する。

実施の形態12における絶縁膜形成工程では、急速熱酸化法による各シリコン微結晶（半導体微結晶）63へのダメージの発生を抑制可能な熱処理時間での酸化処理と、酸化処理後の急速熱窒化法による各シリコン微結晶（半導体微結晶）63へのダメージの発生を抑制可能な熱処理時間での窒化処理とからなる基本工程を複数回繰り返すことにより各絶縁膜52、64を形成する。酸化処理では、シリコン微結晶63の表面側を酸化し、窒化処理では膜質を改善する。

酸化処理では、ランプアニール装置を用い、例えば酸素ガス雰囲気中において第1の規定の熱処理温度（例えば、900℃）で第1の規定の熱処理時間（例えば、5分）だけ酸化を行う。第1の規定の熱処理時間は、従来の急速熱酸化法による酸化工程での所定の熱処理時間（1時間）に比べて大幅に短縮している。た

だし、第1の規定の熱処理温度まで基板温度を上昇させる昇温期間の昇温速度は $20^{\circ}\text{C}/\text{sec}$ 以上、望ましくは $150^{\circ}\text{C}/\text{sec}$ 以上に設定する。

窒化処理は、急速熱窒化法により各シリコン微結晶63へのダメージの発生を抑制可能な熱処理時間（すなわち、第2の規定の熱処理時間）で各酸化膜を窒化する。この窒化処理では、ランプアニール装置を用い、例えば $\text{N}_2\text{O}$ ガス雰囲気中において第2の規定の熱処理温度（例えば、 $900^{\circ}\text{C}$ ）で第2の規定の熱処理時間（例えば、5分）だけ窒化を行う。ただし、第2の規定の熱処理温度まで基板温度を上昇させる昇温期間の昇温速度は $20^{\circ}\text{C}/\text{sec}$ 以上、望ましくは $150^{\circ}\text{C}/\text{sec}$ 以上に設定する。実施の形態12では、窒化処理において $\text{N}_2\text{O}$ ガスを用いているので、各酸化膜の窒化と同時に酸化も進む。その結果、各絶縁膜52、64は酸窒化膜（シリコン酸窒化膜）になる。窒化処理で用いるガスは $\text{N}_2\text{O}$ ガスに限られず、例えば $\text{NO}$ ガス、 $\text{NH}_3$ ガス、 $\text{N}_2$ ガスなど窒素を含むガスを用いてもよい。

実施の形態12にかかる電子源10の製造方法によれば、基本的には、実施の形態6と同様の作用・効果が得られる。すなわち、従来のように急速熱酸化法により比較的長い熱処理時間（例えば、1時間）で各絶縁膜52、64を形成する場合に比べて、電子放出特性の経時安定性が向上する。しかも、各絶縁膜52、64の形成に伴う高温での熱処理時間を短縮化することができる。このため、図40に示す従来の電子源10”のように下部電極12をガラス基板などの絶縁性基板11上に形成する場合に、ガラス基板として比較的安価な無アルカリガラス基板や低アルカリガラス基板などを用いることが可能となり、低コスト化を図ることができる。また、実施の形態7にかかる製造方法に比べて、各絶縁膜52、64中の欠陥を低減することができ、電子放出特性を向上させることができる。

（実施の形態13）

以下、本発明の実施の形態13を説明する。

図36Fに示すように、実施の形態13では、導電性基板としてガラス基板からなる絶縁性基板11の一表面上に導電性層（例えば、クロム膜などの金属膜やITO膜など）12を設けたものを用いている。このように絶縁性基板11の一表面側に導電性層12を形成した基板を用いる場合は、導電性基板として半導体

基板を用いる場合に比べて、電子源の面積化及び低コスト化が可能になる。

実施の形態 13 にかかる電子源 10 の基本構成は、図 40 に示す従来の電子源 10” とほぼ同一である。すなわち、絶縁性基板 11 上の導電性層 12 上に、多結晶半導体層であるノンドープの多結晶シリコン層 3 が形成されている。多結晶シリコン層 3 上には、酸化した多孔質多結晶シリコン層からなるドリフト層 6 が形成されている。ドリフト層 6 上には、表面電極 7 が形成されている。表面電極 7 には、仕事関数が小さい材料（例えば、金）が用いられている。表面電極 7 の膜厚は、3～15 nm 程度に設定されている。ドリフト層 6 の構造については後述する。図 36 F に示す電子源 10 では、導電性層 12 とドリフト層 6 との間に多結晶シリコン層 3 の一部を介在させている。しかし、多結晶シリコン層 3 を介在させずに、導電性層 12 上にドリフト層 6 を形成してもよい。

電子源 10 から電子を放出させるプロセスは、図 40 に示す従来の電子源 10” と同様である。すなわち、表面電極 7 に対向するようにコレクタ電極 21（図 40 参照）を配設し、表面電極 7 とコレクタ電極 21 との間を真空状態にする。そして、表面電極 7 が導電性層 12 に対して高電位（正極）となるように、表面電極 7 と導電性層 12 との間に直流電圧  $V_{ps}$  を印加する。さらに、コレクタ電極 21 が表面電極 7 に対して高電位となるように、コレクタ電極 21 と表面電極 7 との間に直流電圧  $V_c$  を印加する。各直流電圧  $V_{ps}$ 、 $V_c$  を適切に設定すれば、導電性層 12 から注入された電子が、ドリフト層 6 をドリフトし、表面電極 7 を介して放出される。

以下、図 36 A～図 36 F を参照しつつ、実施の形態 13 にかかる電子源 10 の製造方法を説明する。

まず、絶縁性基板 11 の一表面側にスパッタ法などにより、導電性層 12 を設けて導電性基板を形成し、図 36 A に示す構造を得る。この後、導電性基板の一表面側（つまり、導電性層 12 上）に、所定膜厚（例えば、 $1.5 \mu\text{m}$ ）の半導体層である多結晶シリコン層 3 を形成（成膜）し、図 36 B に示す構造を得る。多結晶シリコン層 3 の成膜方法としては、例えば CVD 法（例えば LPCVD 法、プラズマ CVD 法、触媒 CVD 法など）やスパッタ法や CGS（Continuous Grain Silicon）法などを用いればよい。成膜温度を  $600^\circ\text{C}$  以下とすることに

より、絶縁性基板 11 として、例えば、無アルカリガラス基板、低アルカリガラス基板、ソーダライムガラス基板などの比較的安価なガラス基板を用いることができ、低コスト化を図ることができる。

次に、多結晶シリコン層 3 上に、後述の多孔質多結晶シリコン層 4 を所定領域にのみ形成するためのマスク材（図示せず）を設ける。この後、55 wt % のフッ化水素水溶液とエタノールとを略 1 : 1 で混合した混合液からなる電解液の入った陽極酸化処理槽を用いて、白金電極（図示せず）を負極とし、導電性層 12 を正極として、多結晶シリコン層 3 に光照射を行いながら、所定の条件で陽極酸化処理を行う。これにより、多孔質多結晶シリコン層 4 が形成される。そして、マスク材を除去して、図 36C に示す構造を得る。実施の形態 13 の陽極酸化処理では、陽極酸化処理の期間と、多結晶シリコン層 3 の表面に照射する光パワーと、電流密度とを一定としている。しかし、この処理条件は適宜変更してもよい（例えば、電流密度を変化させてもよい）。

陽極酸化処理が終了した後、多孔質多結晶シリコン層 4 を 1 モルの硫酸 ( $\text{H}_2\text{SO}_4$ ) 水溶液中で電気化学的に酸化してドリフト層 6' を形成し、図 36D に示す構造を得る。電気化学的な酸化の際に用いる水溶液及び濃度は、とくには限定されず、例えば硝酸水溶液などを用いてもよい。

ドリフト層 6' を形成した後、導電性基板の一表面側の最上表面（ここでは、ドリフト層 6' の表面）に水素ラジカルを照射してドリフト層 6' 中に存在する欠陥をパッシベーション（不動態化）し、図 36E に示す構造を得る。図 36E 中の 6 は、水素ラジカル照射後のドリフト層を示している。ドリフト層 6' の表面へ水素ラジカルを照射する水素ラジカル照射工程では、水素プラズマ中の水素ラジカルを導電性基板の一表面側の最上表面に照射している。このため、水素ラジカル照射工程のプロセス温度の低温化を図ることができる（600℃以下のプロセス温度にできる）。かつ、電子源 10 の大面積化に容易に対応することができる。また、水素ガスに高周波やマイクロ波などを印加してプラズマ化することにより、水素プラズマを発生させることが可能な一般的な半導体製造装置を流用することができ、低コスト化を図ることができる。

水素プラズマ照射工程が終了した後、ドリフト層 6 上に導電性薄膜（例えば、

金薄膜) からなる表面電極 7 を、例えば蒸着法により形成し、図 3 6 F に示す構造の電子源 1 0 を得る。表面電極 7 の形成方法は、蒸着法に限定されるものではなく、例えばスパッタ法を用いてもよい。

5 上述の製造方法により製造された電子源 1 0 のドリフト層 6 は、図 1 に示す電子源 1 0 の電界ドリフト層 6 と同様に、少なくとも、柱状の多結晶シリコンのグレイン 5 1 と、薄いシリコン酸化膜 5 2 と、ナノメータオーダのシリコン微結晶 6 3 と、シリコン酸化膜 6 4 とから構成されると考えられる。ただし、実施の形態 1 3 にかかる電子源 1 0 では、多孔質多結晶シリコン層 4 を酸化して形成したドリフト層 6' の表面に水素ラジカルを照射することにより、ドリフト層 6 を形成している。このため、ドリフト層 6' 中に存在していた欠陥（例えば、シリコン酸化膜 5 2、6 4 やシリコン微結晶 6 3 表面の欠陥）をパッシベーション（不動態化）したり低減することができる。これにより、電子放出特性及び信頼性を向上させた電子源 1 0 を得ることができる。上述の製造方法で製造された電子源 1 0 は、図 3 8 に示す従来の電子源 1 0' と同様に、電子放出特性の真空度依存性が小さく且つ電子放出時にポッピング現象が発生せず安定して電子を放出することができる。

20 上述の電子源 1 0 の製造方法では、多孔質多結晶シリコン層 4 を酸化してドリフト層 6' を形成した後に水素プラズマ照射処理を行っている。しかし、陽極酸化処理前に水素プラズマ照射工程を行ってもよい。あるいは、陽極酸化処理後に水素プラズマ照射工程を行ってもよい。また、水素ガス中におけるアニール処理においても、上述の水素ラジカル照射と同様に、ドリフト層 6' 中に存在していた欠陥（例えば、シリコン酸化膜 5 2、6 4 やシリコン微結晶 6 3 表面の欠陥）をパッシベーション（不動態化）したり低減することができる。アニール温度は、7 0 0℃以下に設定すればよく、6 0 0℃以下に設定するのが好ましい。また、25 水素ガスは、1 0 0%であっても、他のガスとの混合ガスであってもよい。

上述の電子源 1 0 製造方法では、多孔質多結晶シリコン層 4 を酸化してドリフト層 6' を形成した後に水素プラズマ照射工程を行っている。しかし、陽極酸化処理前に水素プラズマ照射工程を行ってもよい。あるいは、陽極酸化処理後に水素プラズマ照射工程を行ってもよい。

また、上述の電子源 10 製造方法では、水素プラズマ照射工程で、水素プラズマ中の水素ラジカルを導電性基板の一表面側の最上表面に照射している。

しかし、図 37 に示すように、水素ガスとタングステン製のワイヤからなる触媒体 42 との接触分解反応を利用することにより発生させた水素ラジカルを、導電性基板の一表面側の最上表面（図 37 に示す例では、ドリフト層 6' の表面）に照射してもよい。この場合、触媒体 42 は、図示しない電流源から電流を流すことにより、適当な温度に加熱する。導電性基板は基板ホルダ 41 上に設置され、基板ホルダ 41 を図示しないヒータにより 100～700℃に適宜加熱する。ただし、導電性基板としてガラス基板からなる絶縁性基板 11 の一表面に導電性層 12 を形成したものをを用いる場合は、絶縁性基板 11 の温度が当該絶縁性基板 11 の耐熱温度に達しないように、基板ホルダ 41 の温度を設定する必要がある。

ところで、水素ラジカル照射工程において、水素プラズマ中の水素ラジカルを導電性基板の一表面側の最上表面へ照射した場合、結果的にドリフト層 6 にプラズマによるダメージが生じるおそれがある。しかし、水素ラジカル照射工程において、水素ガスの触媒体 42 を利用した分解によって発生させた水素ラジカルを導電性基板の一表面側の最上表面へ照射することにより、水素ラジカル照射工程に起因するダメージがドリフト層 6 に発生するのを防止することができる。したがって、水素プラズマ中の水素ラジカルを照射する場合に比べて、電子放出特性及び信頼性を向上させた電子源 10 を得ることができる。水素ラジカル照射工程では、水素ガスの熱分解又は光分解によって発生させた水素ラジカルを導電性基板の一表面側へ照射するようにしてもよい。この場合も、水素プラズマ中の水素ラジカルを照射する場合に比べて、電子放出特性及び信頼性を向上させた電子源 10 を得ることができる。

実施の形態 13 では、導電性基板としてガラス基板からなる絶縁性基板 11 の一表面に導電性層 12 を形成したものをを用いている。しかし、導電性基板として、クロムなどの金属基板を用いてもよい。あるいは、半導体基板（例えば、抵抗率が導体の抵抗率に比較的近い n 形シリコン基板や、一表面側に導電性層として n 形領域が形成された p 形シリコン基板など）などを用いてもよい。絶縁性基板 11 として、ガラス基板の他にセラミック基板などを用いることができる。

実施の形態 1 3 では、表面電極 7 の材料として金を用いている。しかし、表面電極 7 の材料は、金に限定されるものではなく、例えば、アルミニウム、クロム、タングステン、ニッケル、白金などを用いてもよい。また、表面電極 7 を、厚み方向に積層された少なくとも 2 層の薄膜層で構成してもよい。表面電極 7 を 2 層の薄膜層で構成する場合、上層の薄膜層の材料としては、例えば金などを用い、下層の薄膜層（強電界ドリフト層 6 側の薄膜層）の材料としては、例えば、クロム、ニッケル、白金、チタン、イリジウムなどを用いればよい。

実施の形態 1 3 では、ドリフト層 6 を、酸化した多孔質多結晶シリコン層で構成している。しかし、ドリフト層 6 を、窒化した多孔質多結晶シリコン層や酸窒化した多孔質多結晶シリコン層で構成してもよい。あるいは、その他の酸化、窒化又は酸化・窒化した多孔質半導体層で構成してもよい。ドリフト層 6 を窒化した多孔質多結晶シリコン層とする場合、多孔質多結晶シリコン層 4 を酸化する工程の代わりに窒化する工程を用いればよい。この場合、各シリコン酸化膜 5 2、6 4 がいずれもシリコン窒化膜となる。ドリフト層 6 を酸窒化した多孔質多結晶シリコン層とした場合、多孔質多結晶シリコン層 4 を酸化する工程の代わりに、酸窒化する工程を用いればよい。この場合、各シリコン酸化膜 5 2、6 4 がいずれもシリコン酸窒化膜となる。

以上、本発明は、その特定の実施の形態に関連して説明されてきたが、このほか多数の変形例及び修正例が可能であるということは当業者にとっては自明なことであろう。それゆえ、本発明は、このような実施の形態によって限定されるものではなく、添付の請求の範囲によって限定されるべきものである。

#### 産業上の利用の可能性

以上のように、本発明にかかる電界放射型電子源及びその製造方法は、とくに電子放出効率と信頼性とを高めるのに有用であり、平面光源、フラットディスプレイ素子、固体真空デバイス等の電子源として用いるのに適している。



## 請 求 の 範 囲

1. 導電性基板と、導電性基板上に形成された強電界ドリフト層と、強電界ドリフト層上に形成された表面電極とを備え、

5 強電界ドリフト層が、該強電界ドリフト層を構成する半導体層の一部に形成されたナノメータオーダの多数の半導体微結晶と、各半導体微結晶の表面に形成され半導体微結晶の結晶粒径より小さい膜厚を有する多数の絶縁膜とを有し

表面電極と導電性基板との間に、表面電極が高電位となるように電圧を印加することにより、導電性基板から強電界ドリフト層に注入された電子が、強電界ドリフト層内をドリフトし、表面電極を介して放出されるようになっている電界放射型電子源において、

各半導体微結晶の表面に形成された絶縁膜が、電子のトンネリング現象が発生する膜厚を有することを特徴とする電界放射型電子源。

2. 各半導体微結晶の表面に形成された絶縁膜に含まれる水分が、実質的に0であることを特徴とする請求項1に記載の電界放射型電子源。

3. 強電界ドリフト層を構成する半導体層と、導電性基板との界面に、半導体と金属とからなる化合物層又は合金層が介在することを特徴とする請求項1に記載の電界放射型電子源。

4. 強電界ドリフト層を構成する半導体層と、導電性基板との界面で、半導体層がほぼ結晶化されていることを特徴とする請求項1に記載の電界放射型電子源。

5. 導電性基板と、導電性基板上に形成された強電界ドリフト層と、強電界ドリフト層上に形成された表面電極とを備え、強電界ドリフト層が、該強電界ドリフト層を構成する半導体層の一部に形成されたナノメータオーダの多数の半導体微結晶と、各半導体微結晶の表面に形成され電子のトンネリング現象が発生する膜厚を有する多数の絶縁膜とを有し、表面電極と導電性基板との間に表面電極が高電位となるように電圧を印加することにより、導電性基板から強電界ドリフト層に注入された電子が強電界ドリフト層内をドリフトして表面電極を介して放出されるようになっている電界放射型電子源の製造方法であって、

半導体微結晶表面への絶縁膜の形成を、電気化学的な方法、急速熱酸化法、急

速熱窒化法及び急速熱酸窒化法のいずれか1つにより、又はこれらの方法の組み合わせにより行うことを特徴とする電界放射型電子源の製造方法。

6. 半導体微結晶表面への絶縁膜の形成後に、700℃以下の温度によるアニール処理を真空中、不活性ガス中、フォーミングガス中又は窒化ガス中で行うことを特徴とする請求項5に記載の電界放射型電子源の製造方法。

7. 半導体微結晶表面への絶縁膜の形成後に、酸化種又は窒化種を含む雰囲気中において600℃以上の温度で急速加熱法による熱処理を行うことを特徴とする請求項5に記載の電界放射型電子源の製造方法。

8. 半導体微結晶表面への絶縁膜の形成後に、不活性ガス雰囲気中において600℃以上の温度で急速加熱法によるアニール処理を行うことを特徴とする請求項5に記載の電界放射型電子源の製造方法。

9. 半導体微結晶の形成後に、真空中又は不活性ガス中でアニール処理を行うことを特徴とする請求項5に記載の電界放射型電子源の製造方法。

10. 導電性基板上に半導体層を形成した後に、真空中又は不活性ガス中でアニール処理を行うことを特徴とする請求項5に記載の電界放射型電子源の製造方法。

11. 半導体微結晶表面への絶縁膜の形成後に、700℃以下の温度によるアニール処理と欠陥補償が可能なガス種によるアニール処理とのうちの少なくとも1つを真空中、不活性ガス中又はフォーミングガス中で行う第1の処理工程と、酸化種又は窒化種を含む雰囲気中において600℃以上の温度で急速加熱法による熱処理を行う第2の処理工程と、不活性ガス雰囲気中において600℃以上の温度で急速加熱法によるアニール処理を行う第3の処理工程のうちの少なくとも2つの処理工程を、それぞれ、1回又は複数回行うことを特徴とする請求項5に記載の電界放射型電子源の製造方法。

12. 半導体層を形成した後と、半導体微結晶を形成した後と、半導体微結晶表面に絶縁膜を形成した後のうちの少なくとも1つの時期に、水素中でのアニール処理、水素ラジカル照射処理又は水素ラジカル照射アニール処理を行うことを特徴とする請求項5に記載の電界放射型電子源の製造方法。

図 1

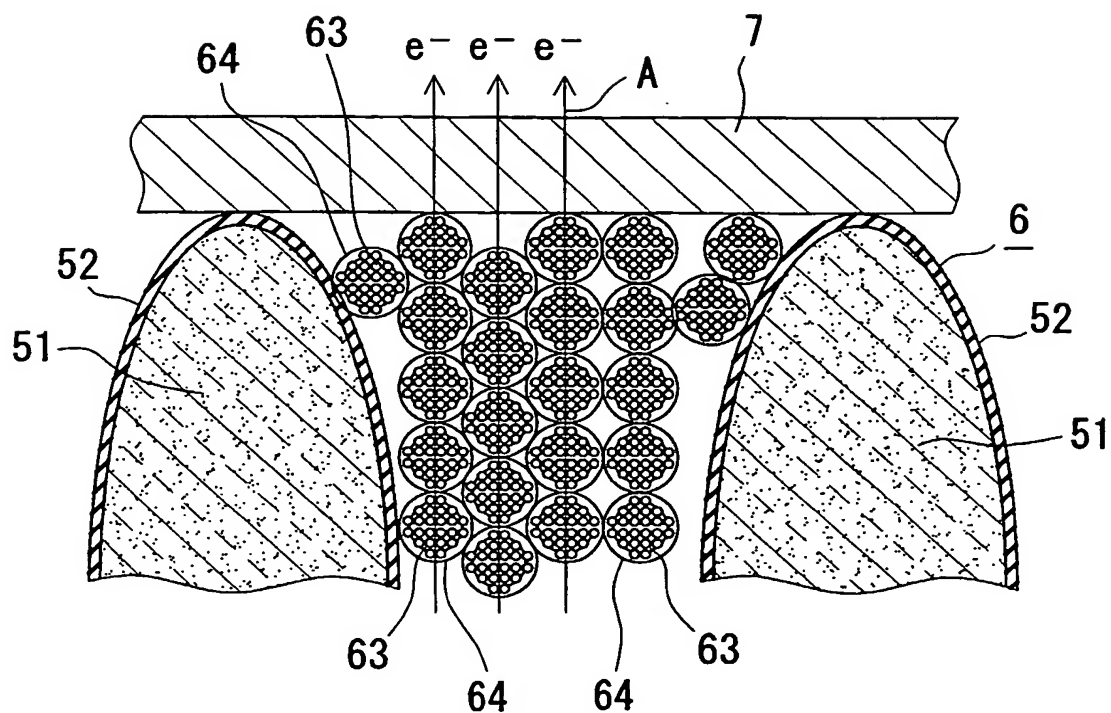


図 2

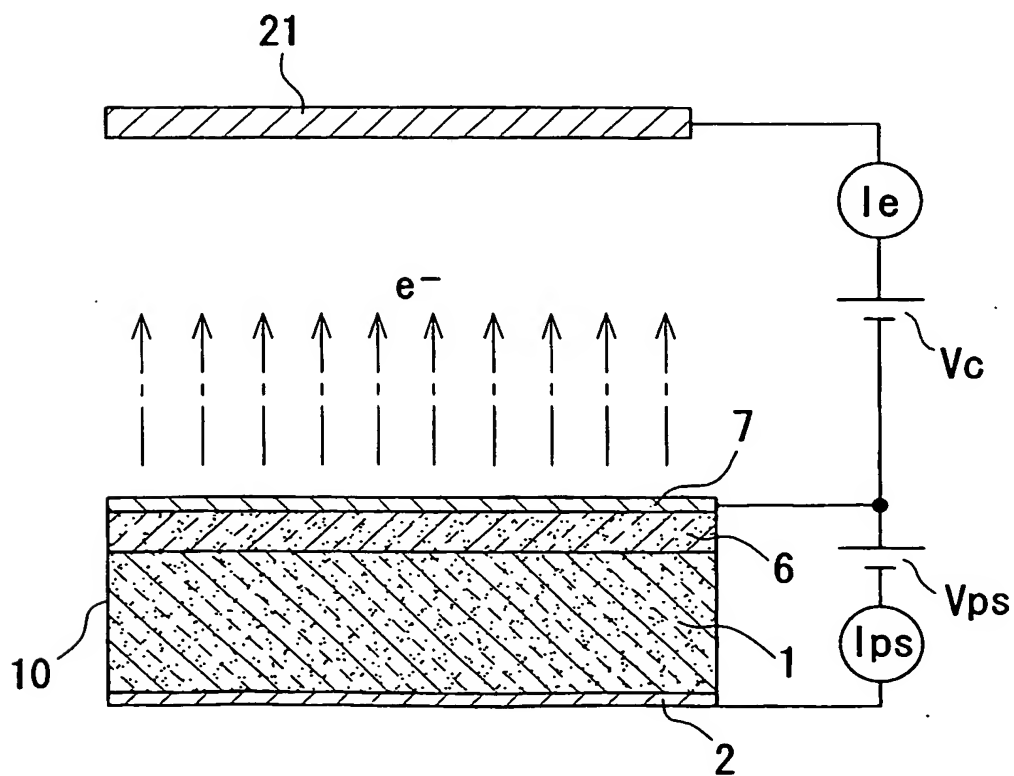


図 3 A

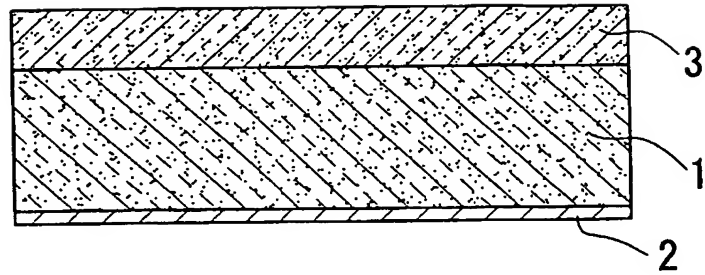


図 3 B

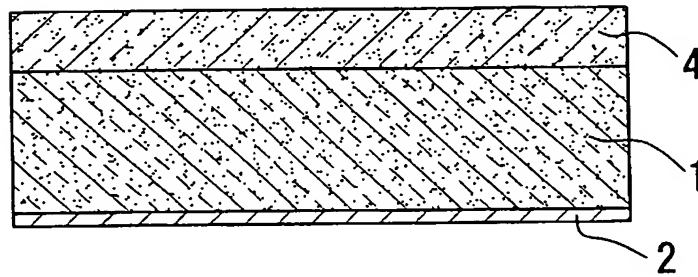


図 3 C

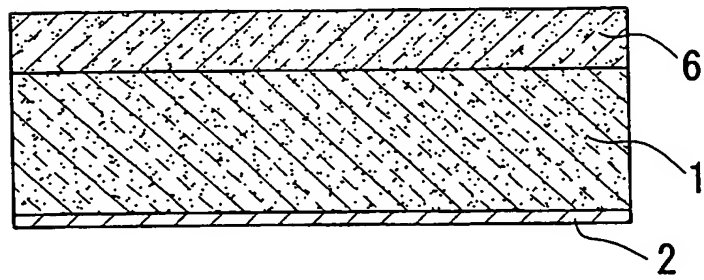
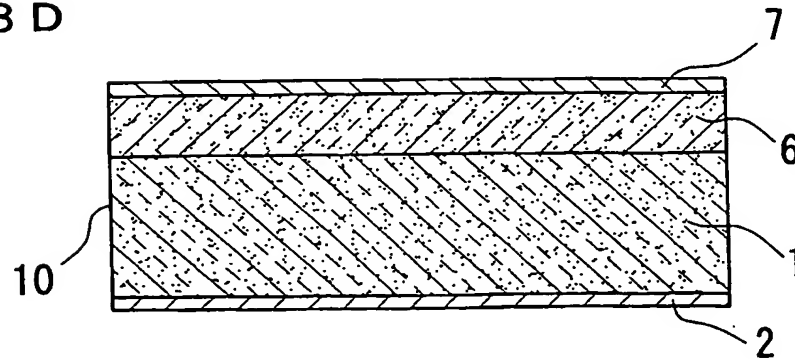


図 3 D



3/26

図 4

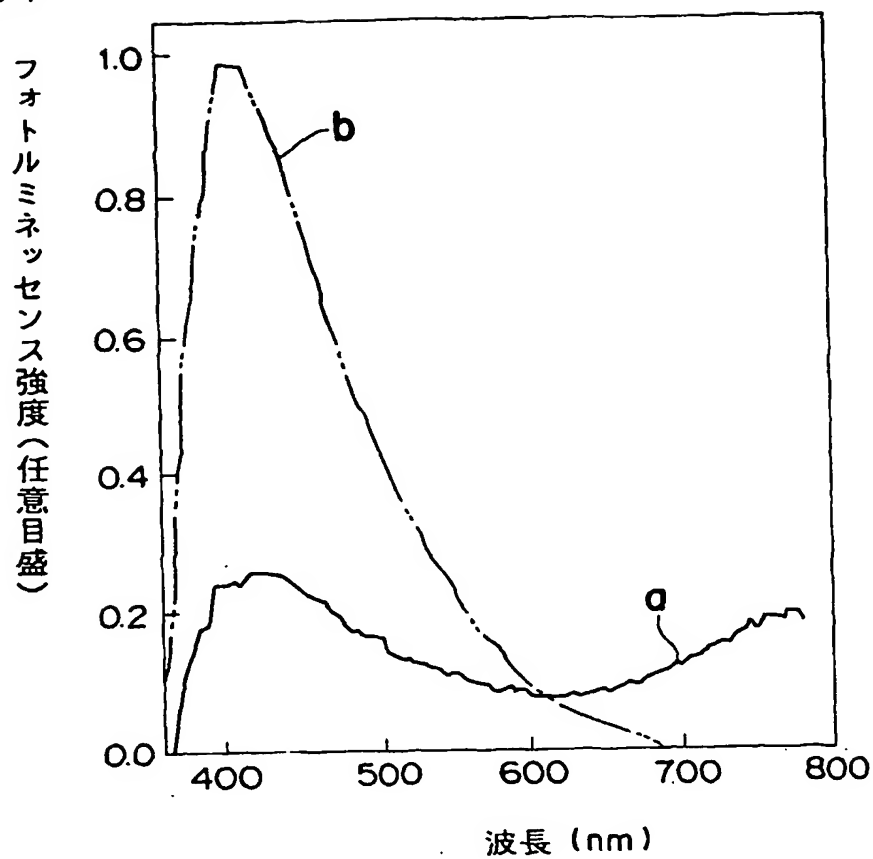


図 5

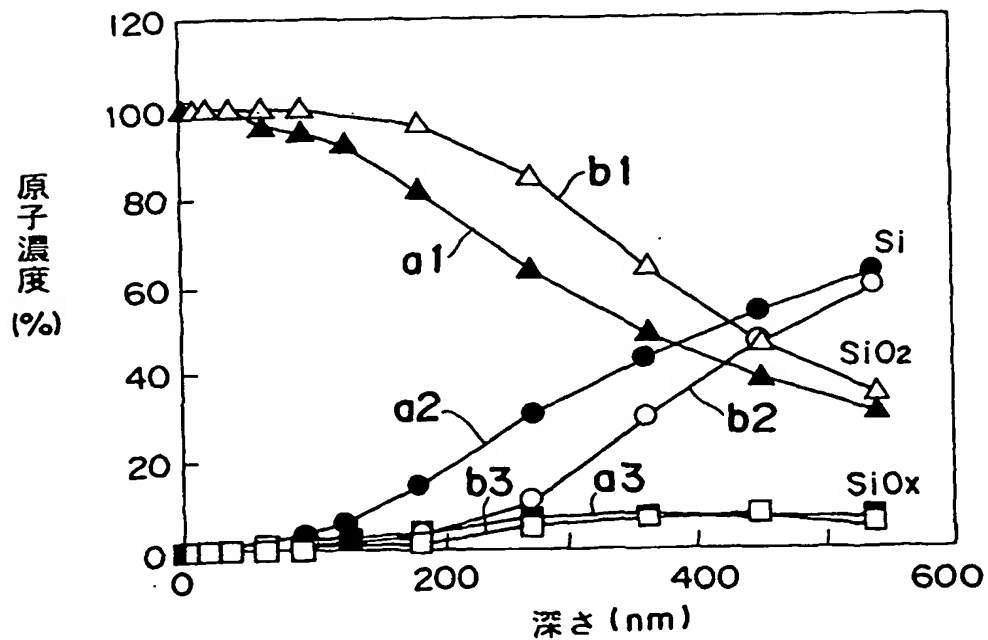


図 6 A

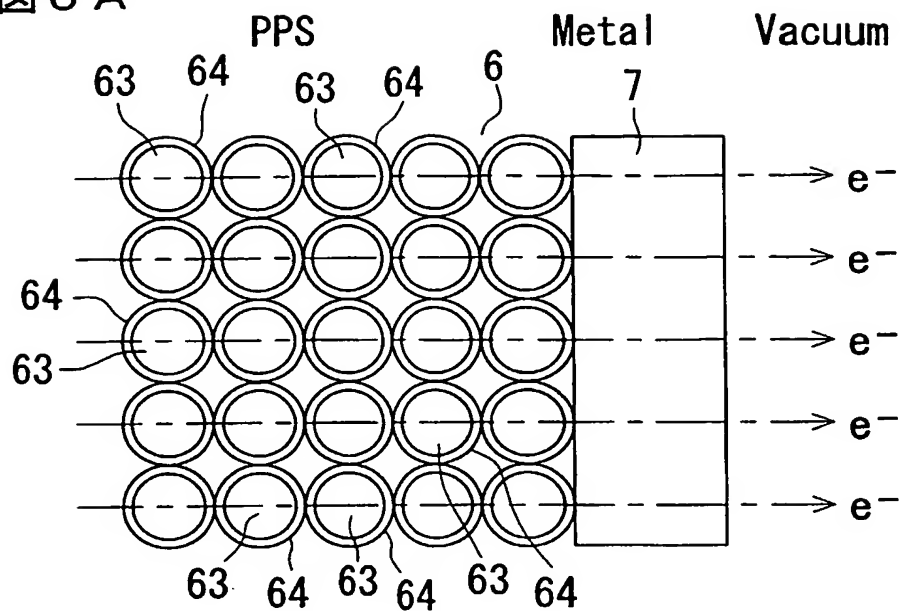


図 6 B

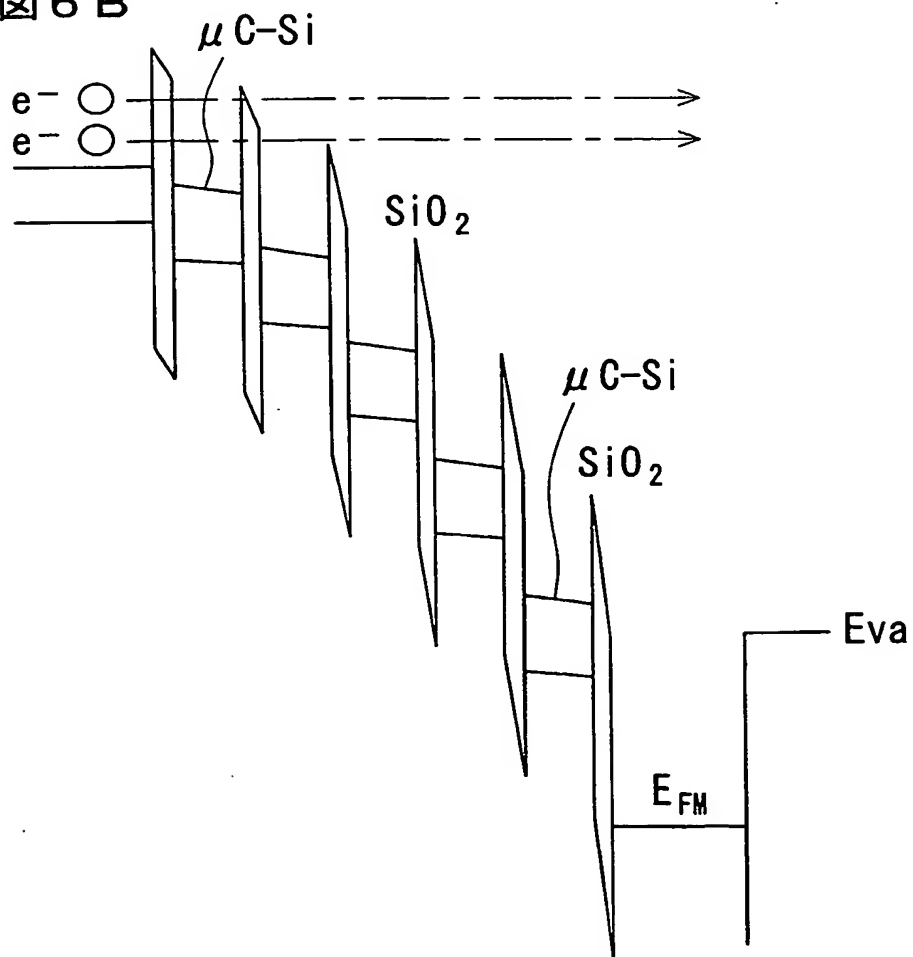


図 7 A

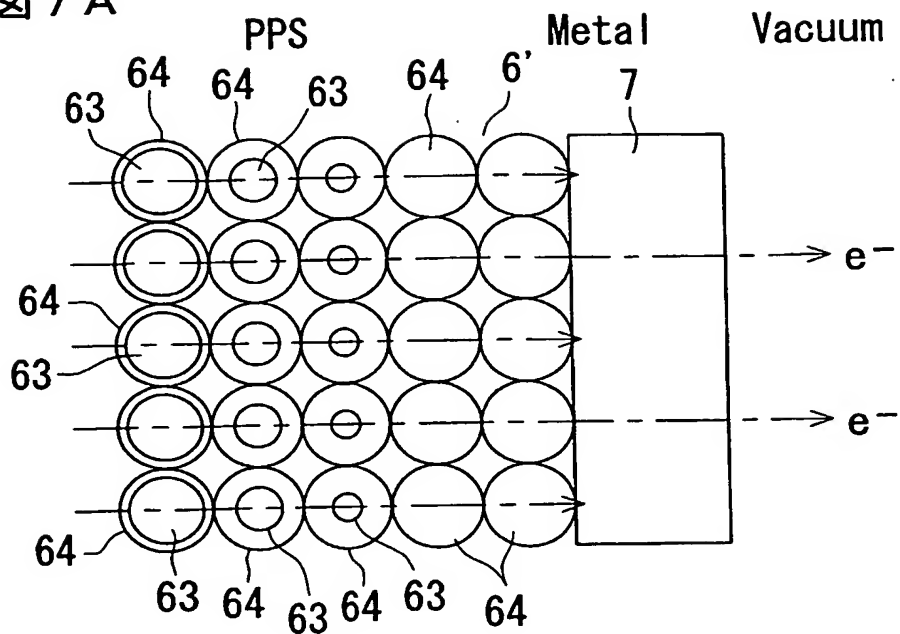
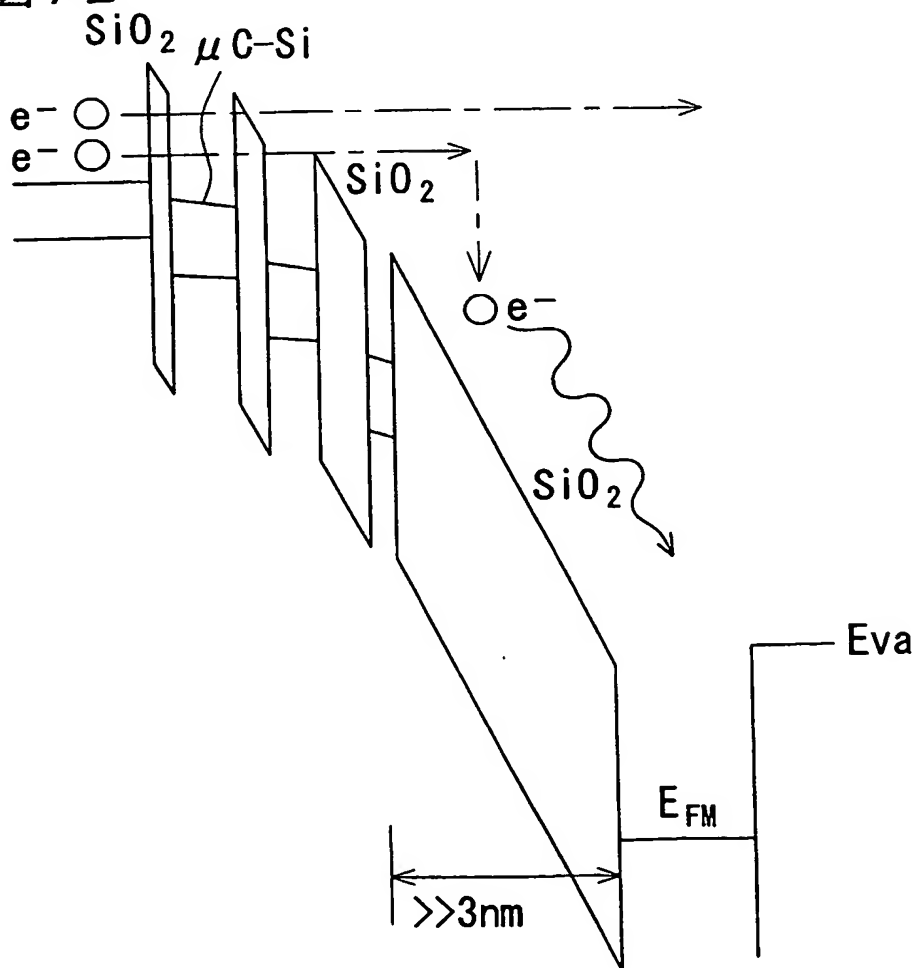
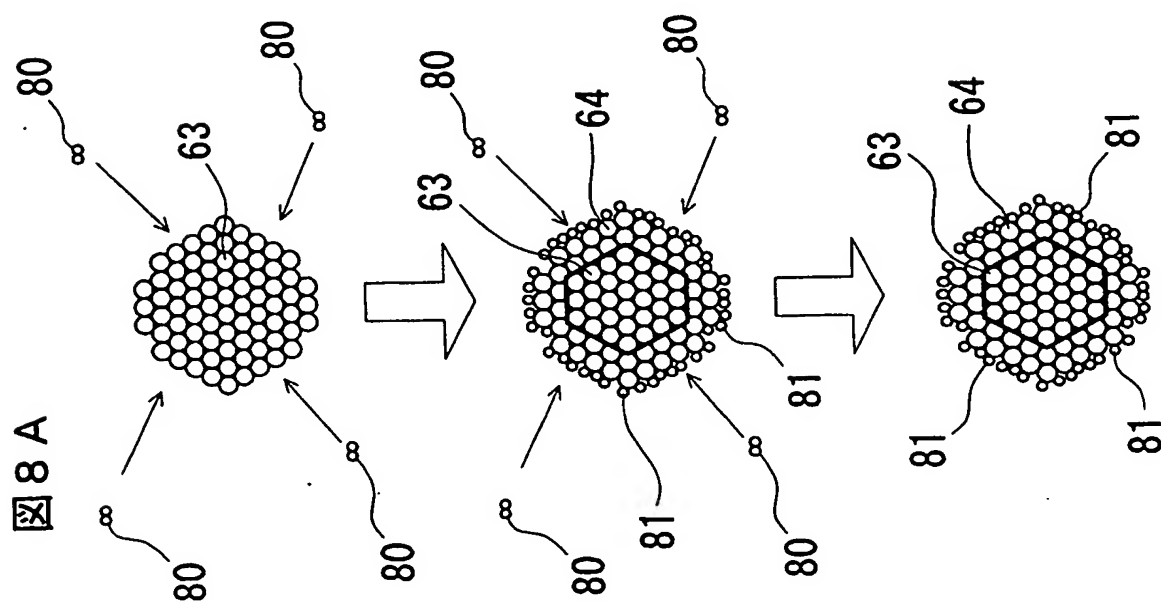
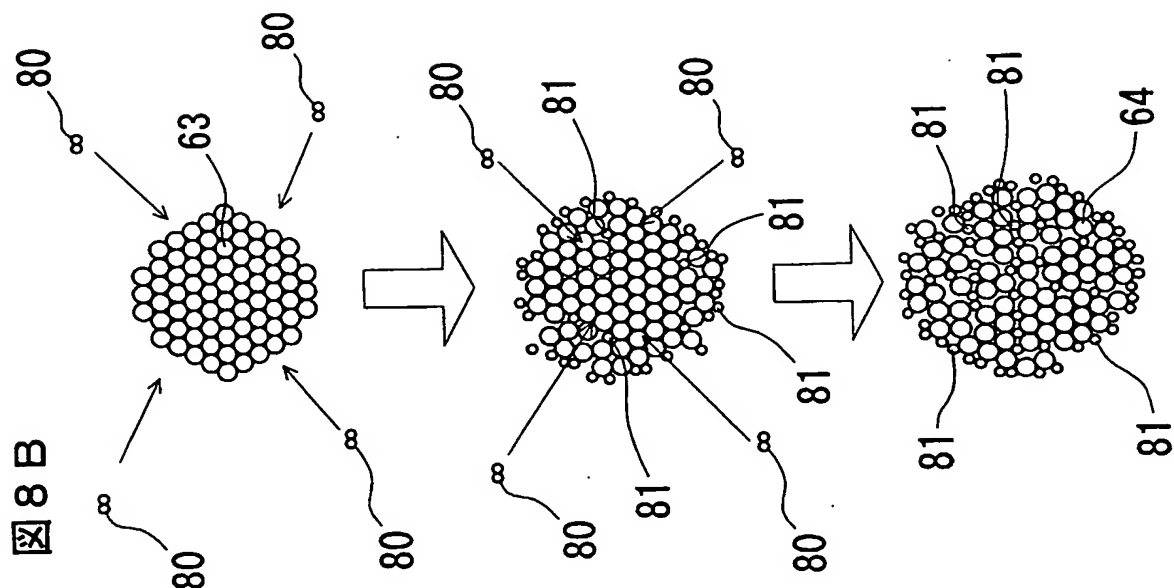


図 7 B







7/26

図 9

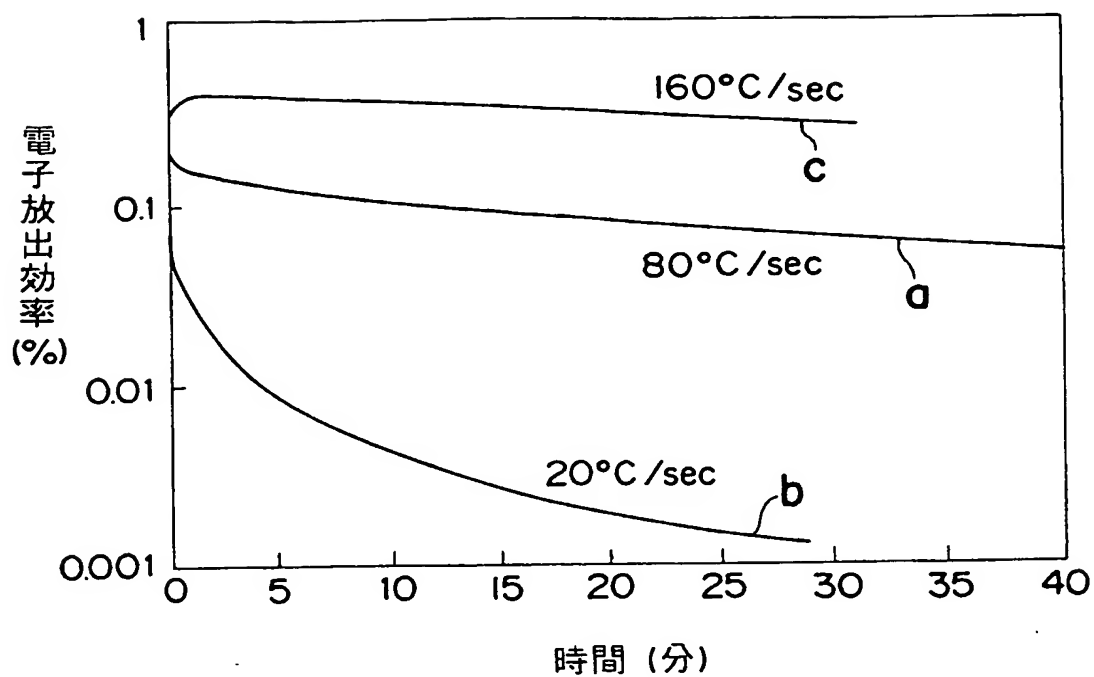


図 10

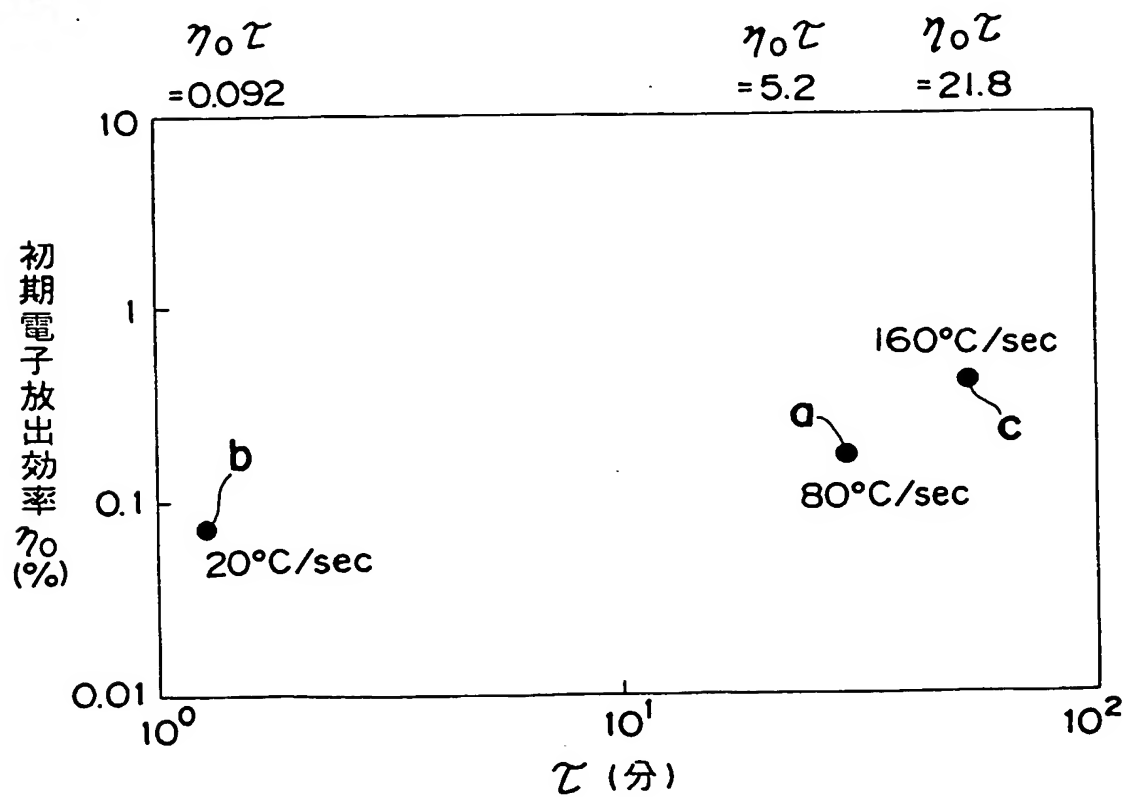


図 1 1

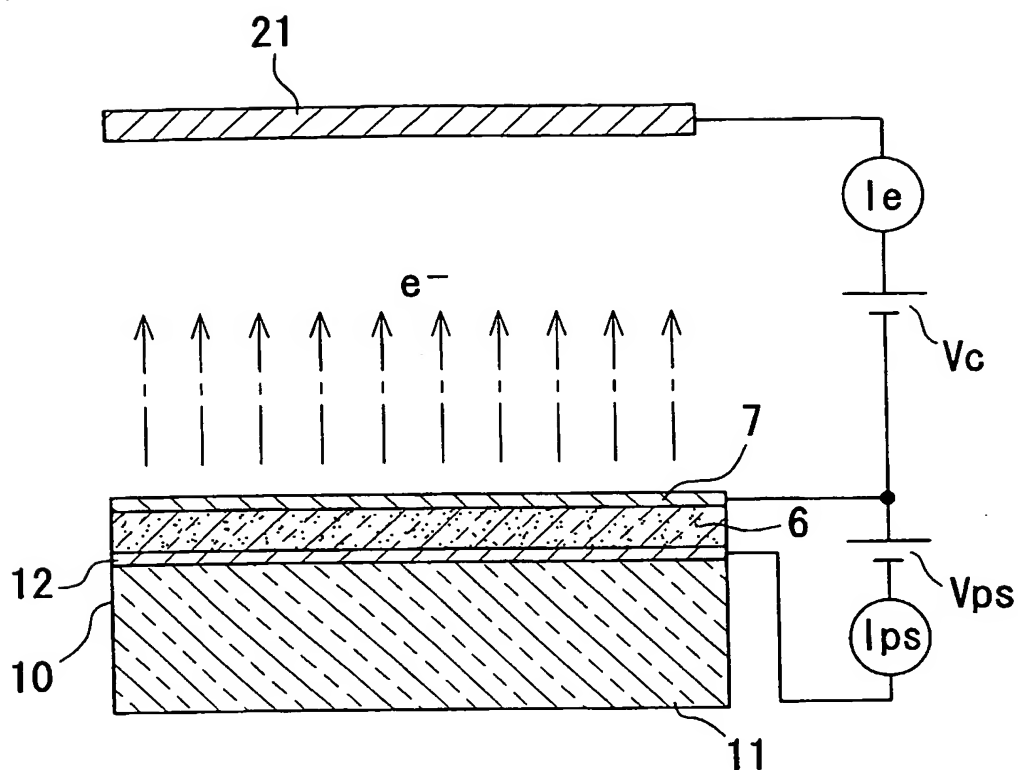


図 1 8

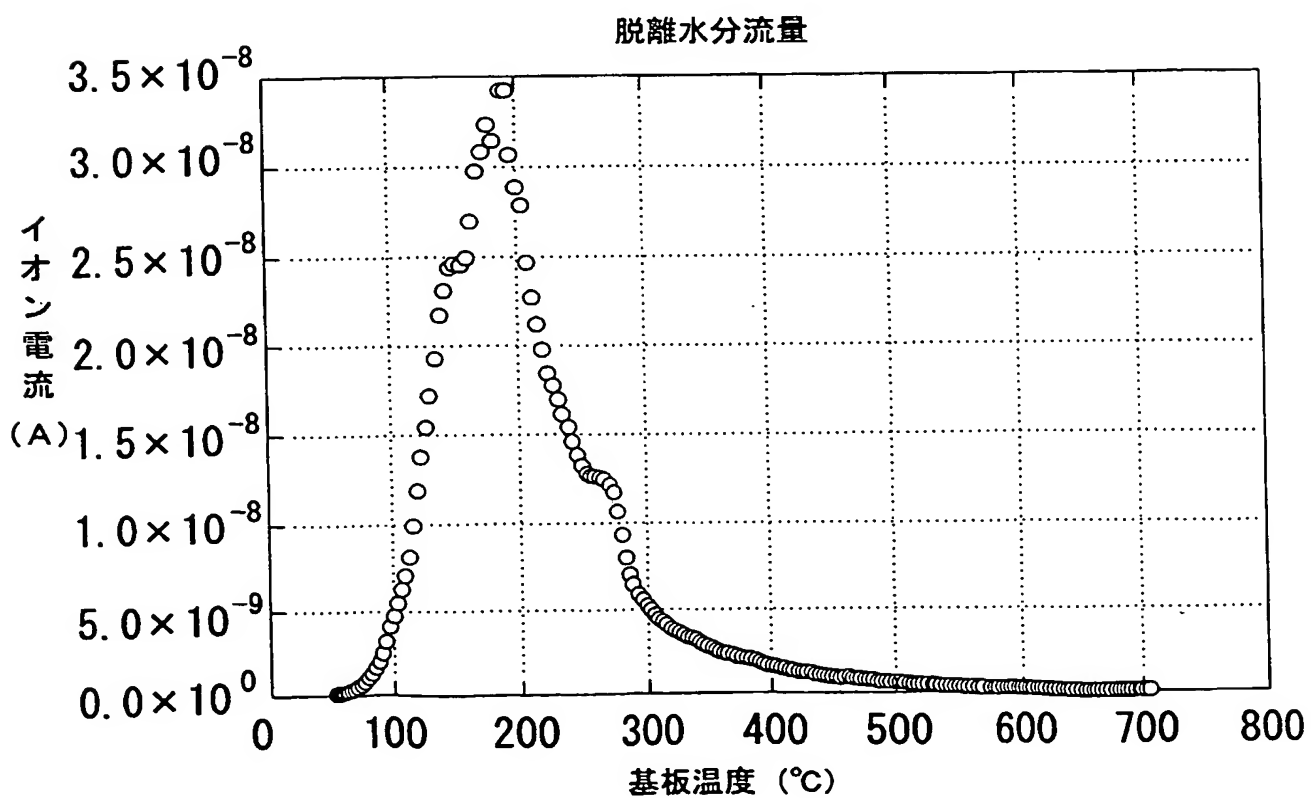


図 1 2 A

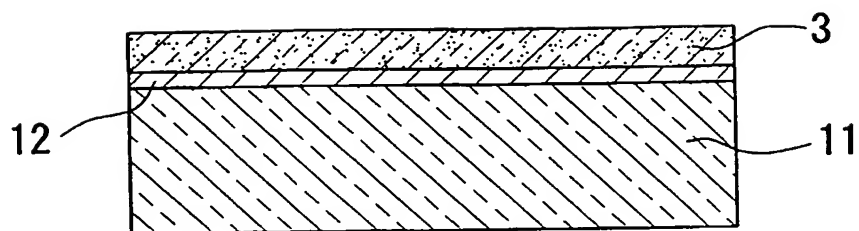


図 1 2 B

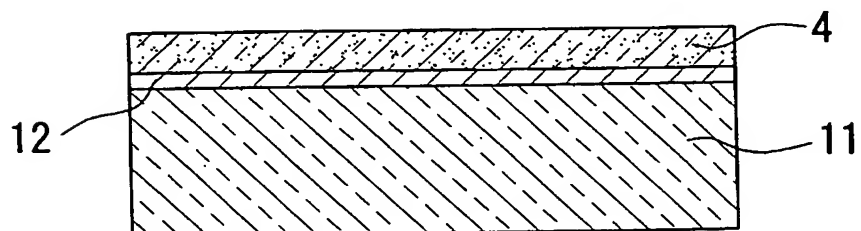


図 1 2 C

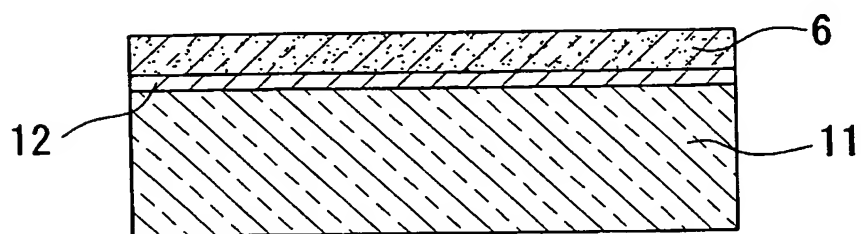


図 1 2 D

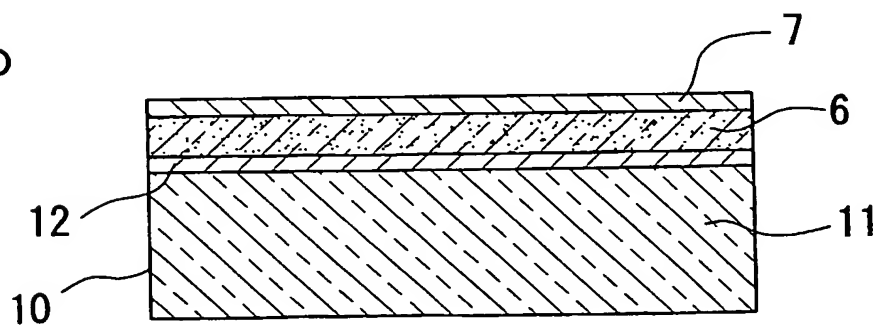


図 1 3

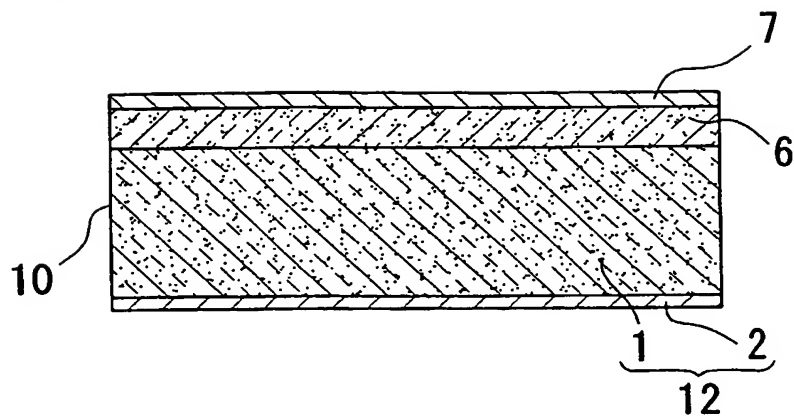


図 1 4

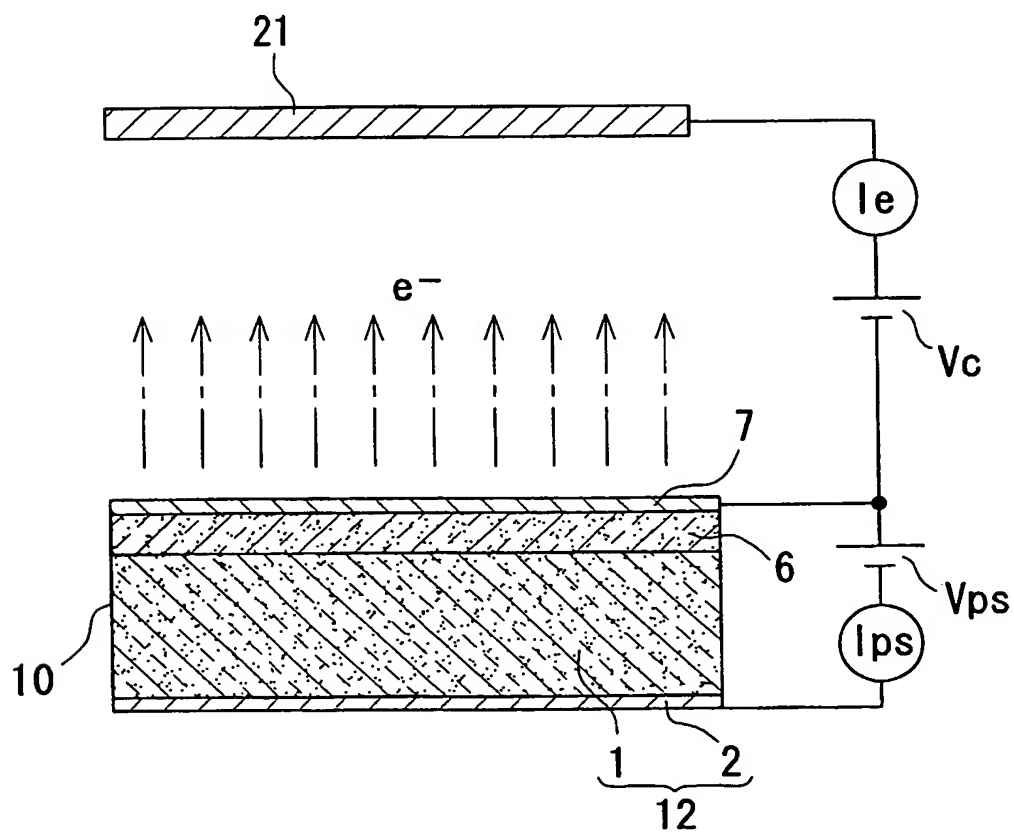


図 15 A

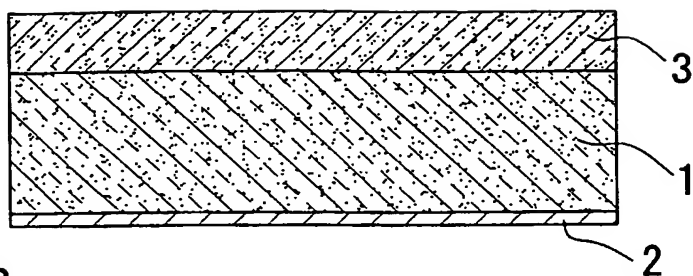


図 15 B

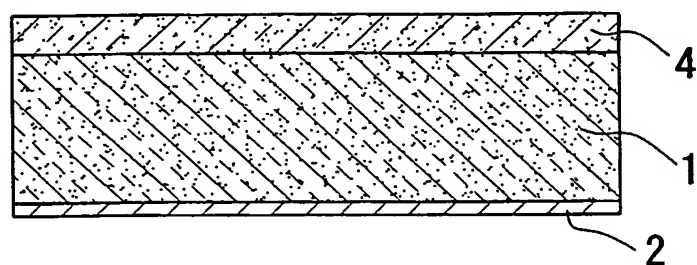


図 15 C

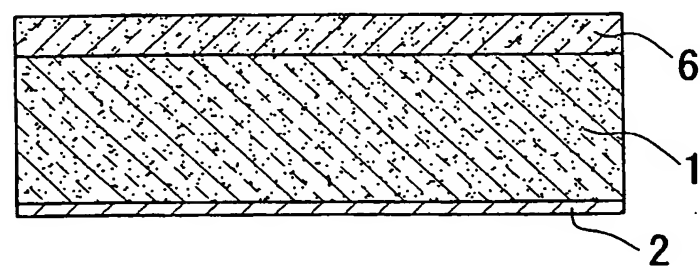


図 15 D

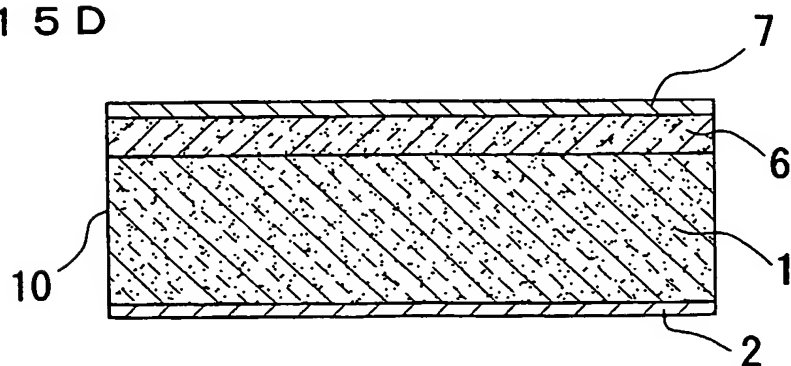


図 1 6

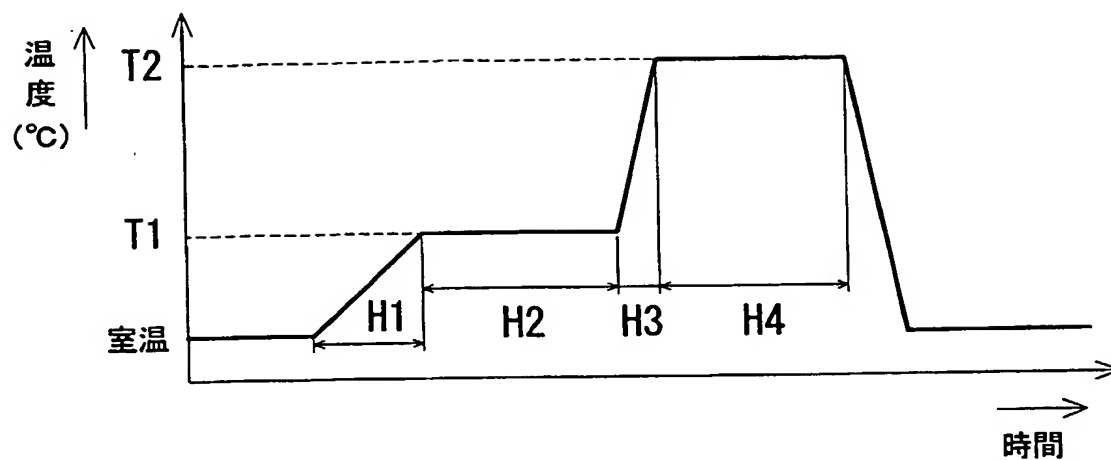


図 1 7

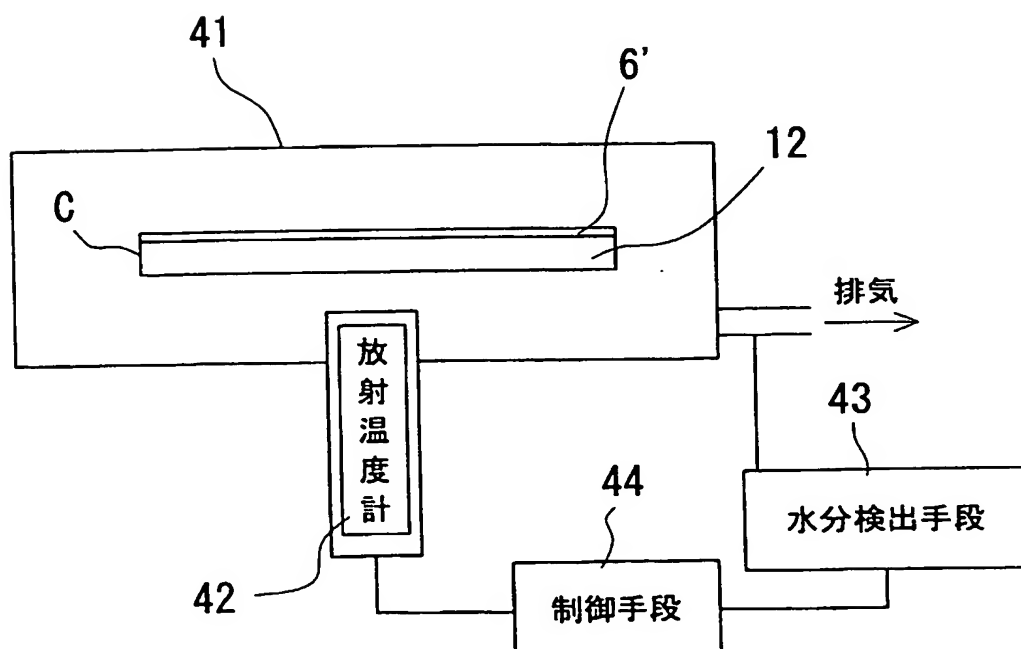


図 19 A

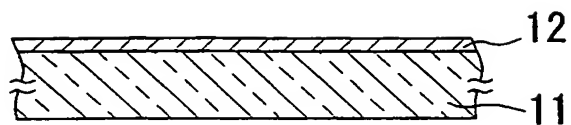


図 19 B

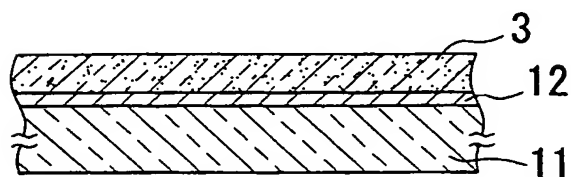


図 19 C

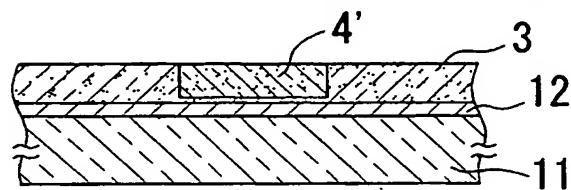


図 19 D

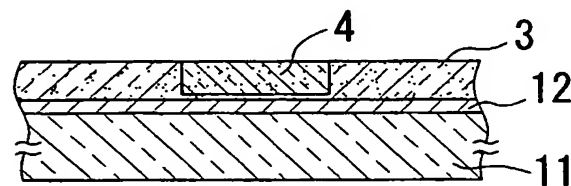


図 19 E

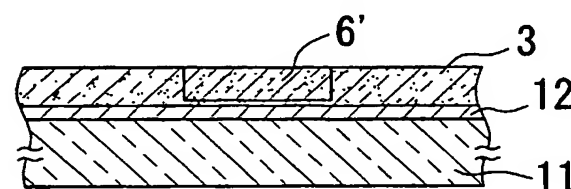


図 19 F

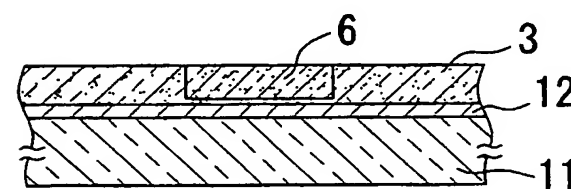


図 19 G

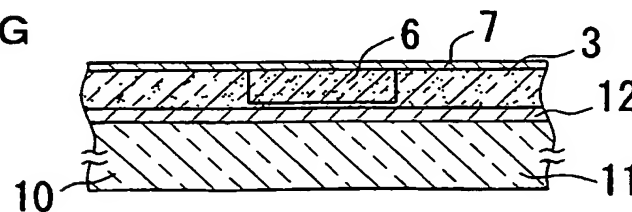


図 20

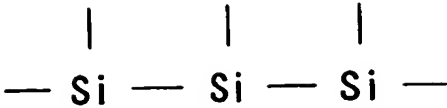


図 23

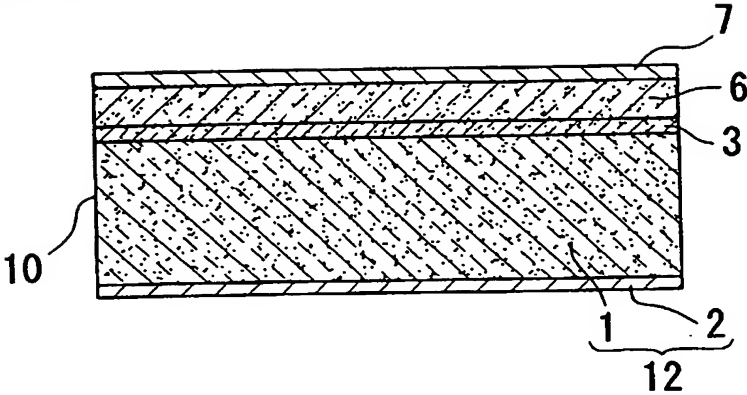


図 24

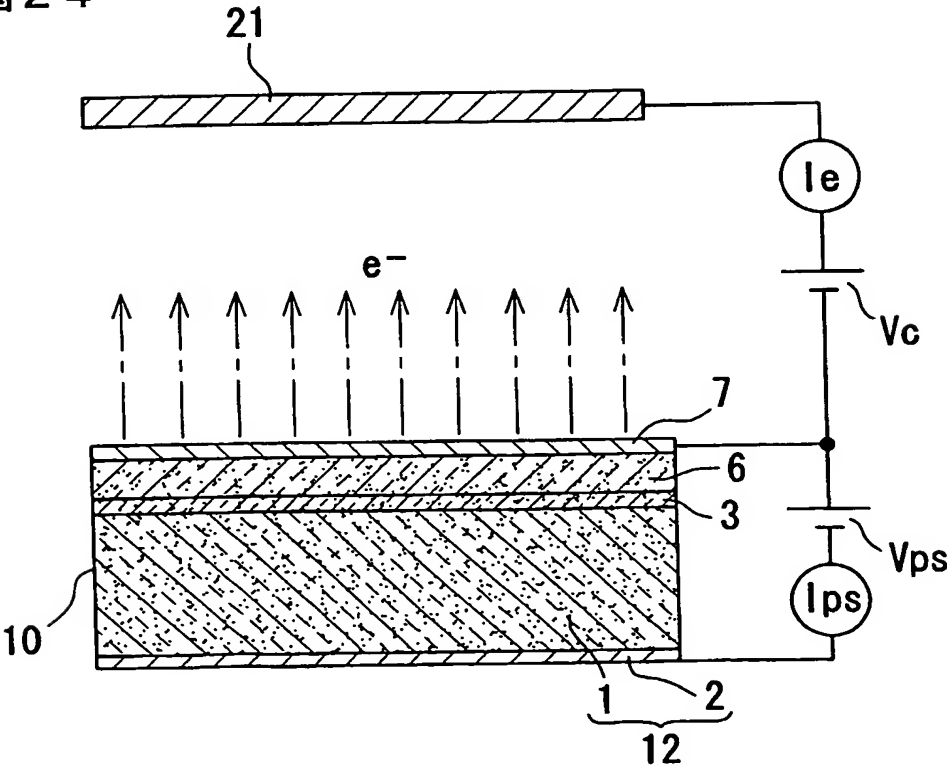




図 2 1 A

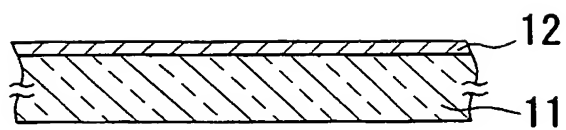


図 2 1 B

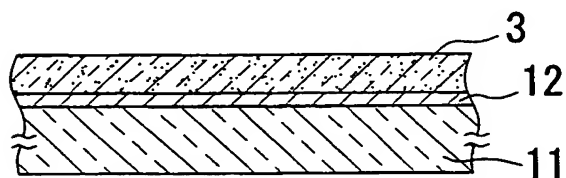


図 2 1 C

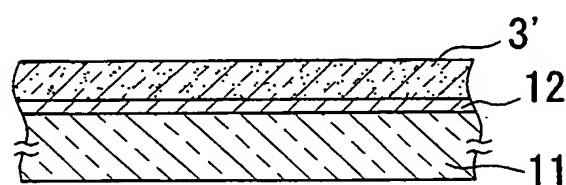


図 2 1 D

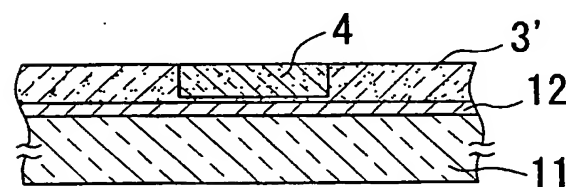


図 2 1 E

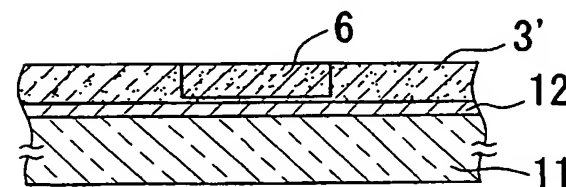
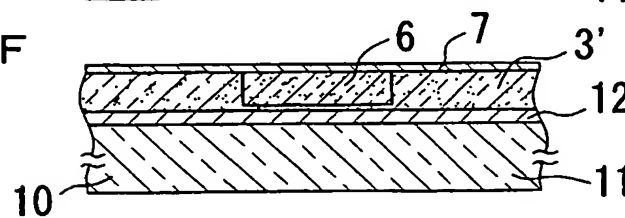


図 2 1 F



16/26

図 22A

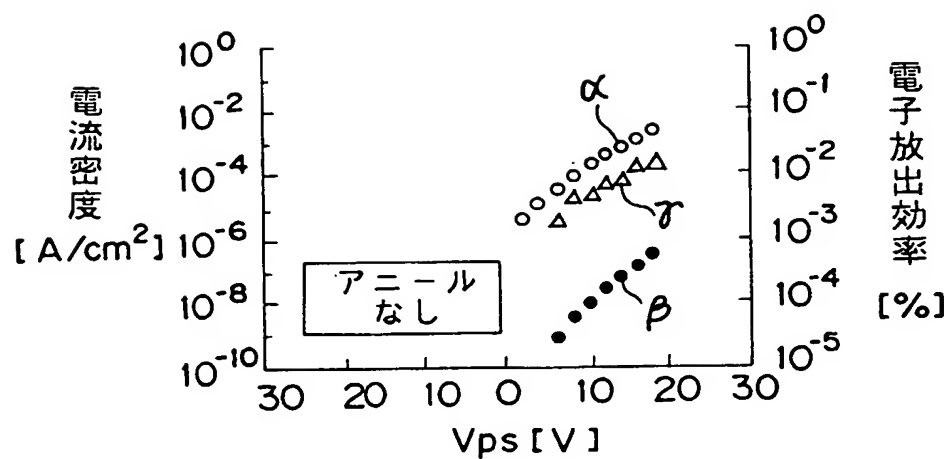


図 22B

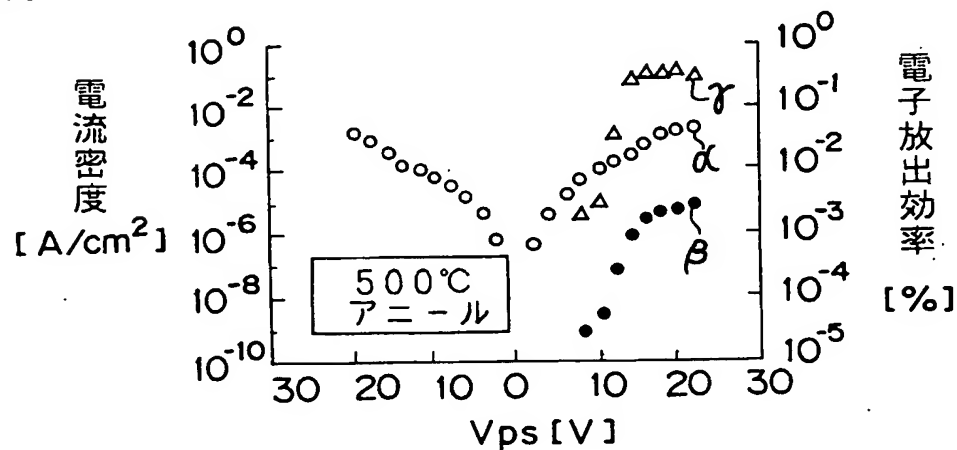


図 22C

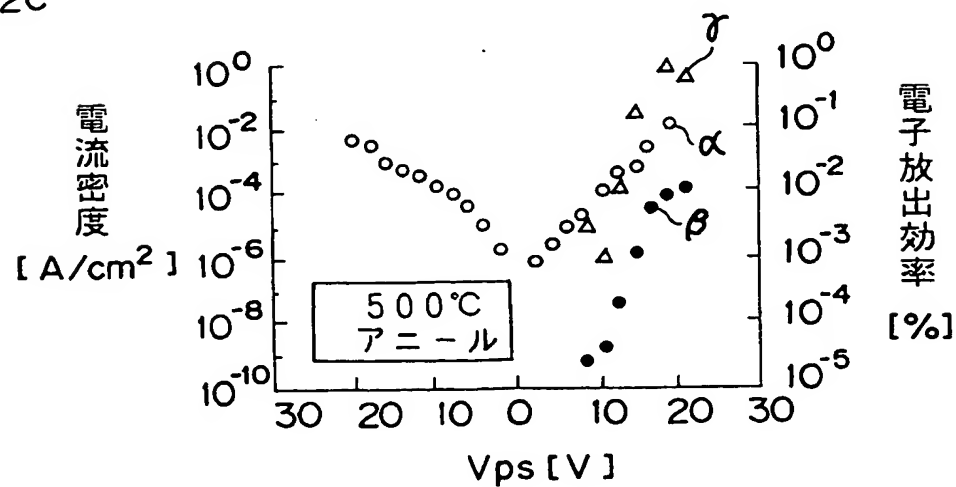


図 25 A

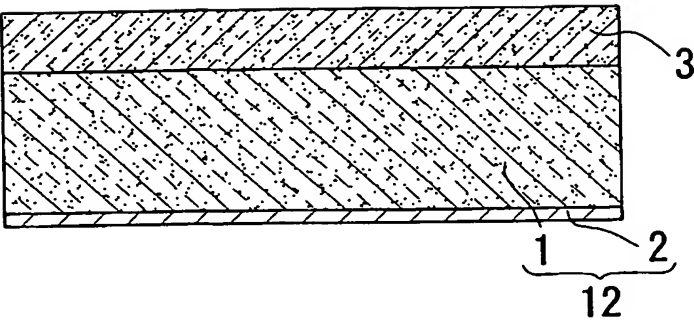


図 25 B

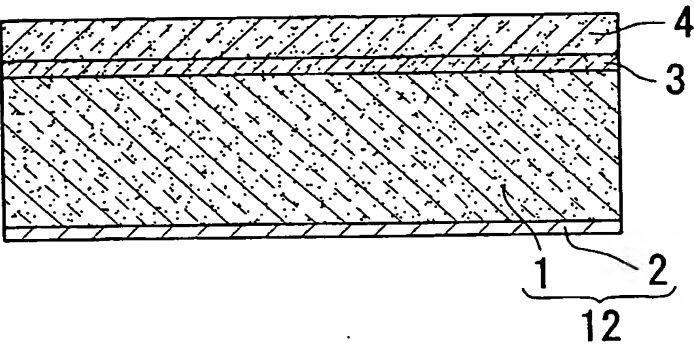


図 25 C

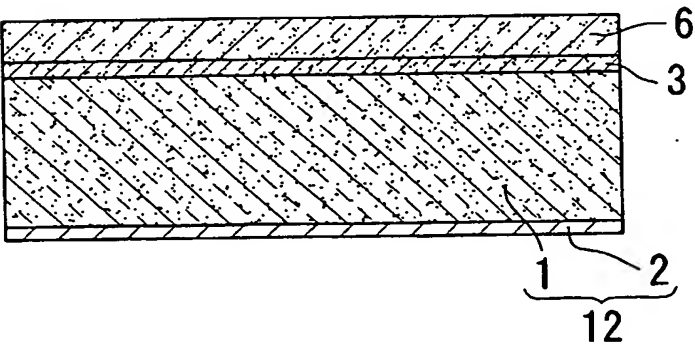
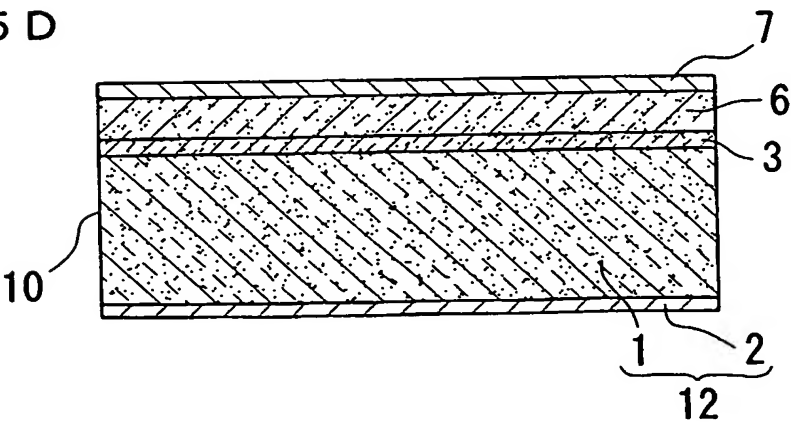


図 25 D



18/26

図 26

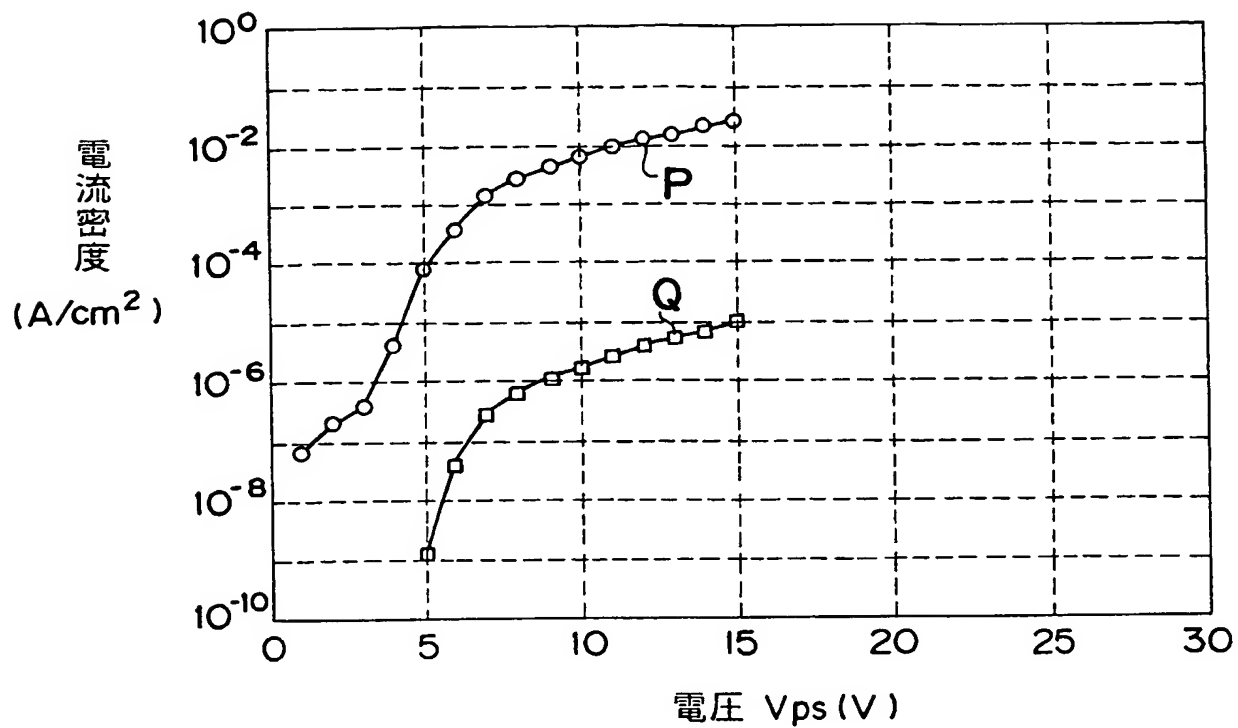
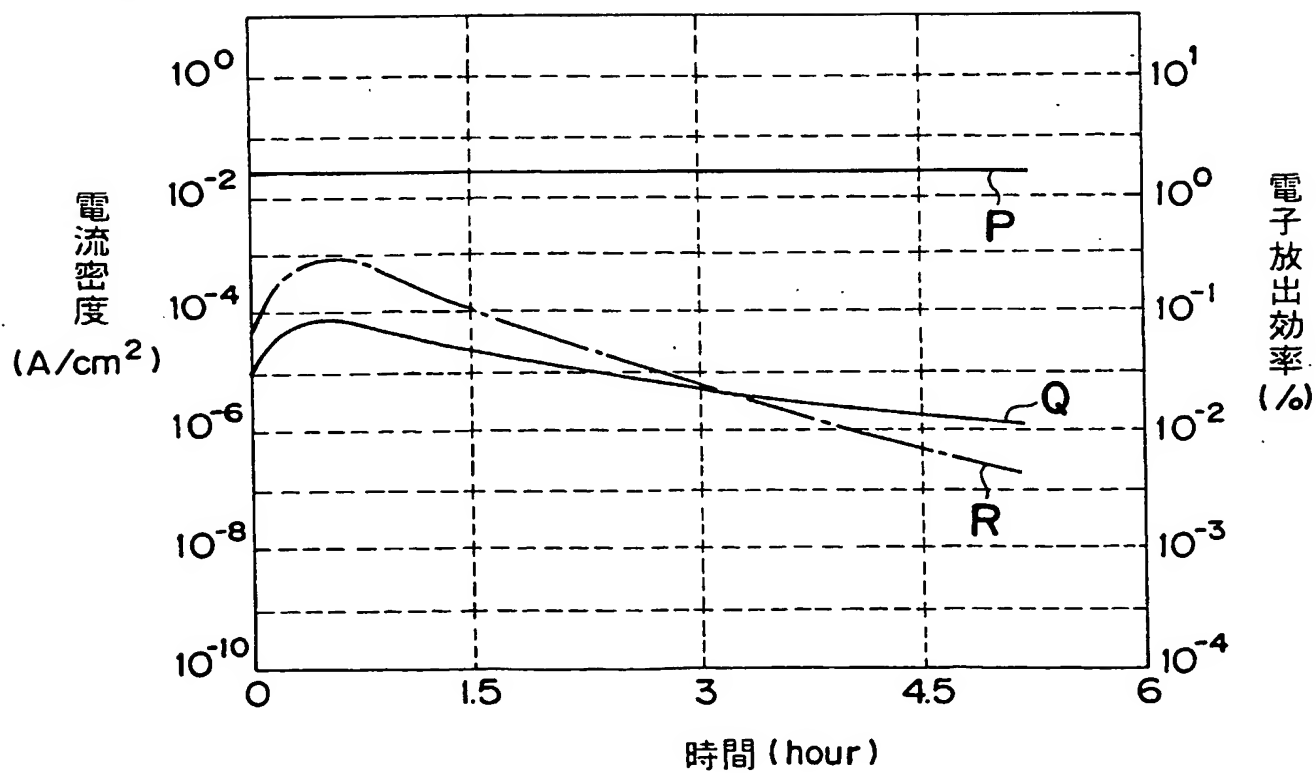


図 27



19/26

図 28

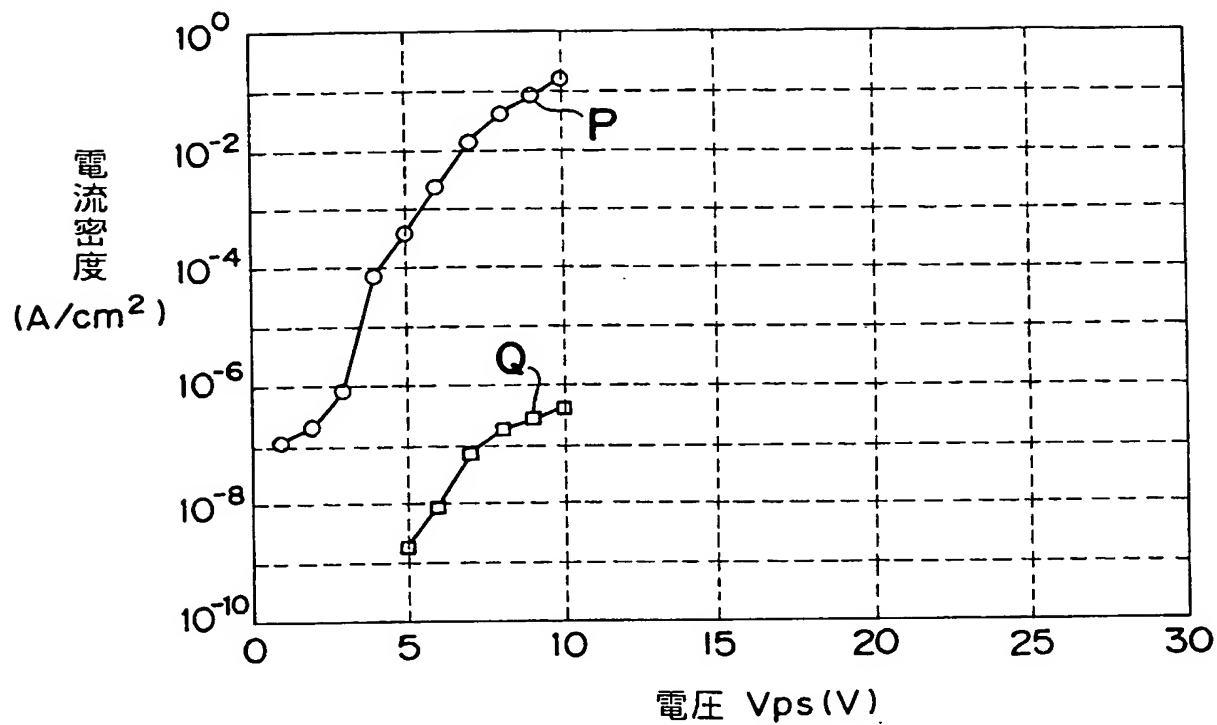
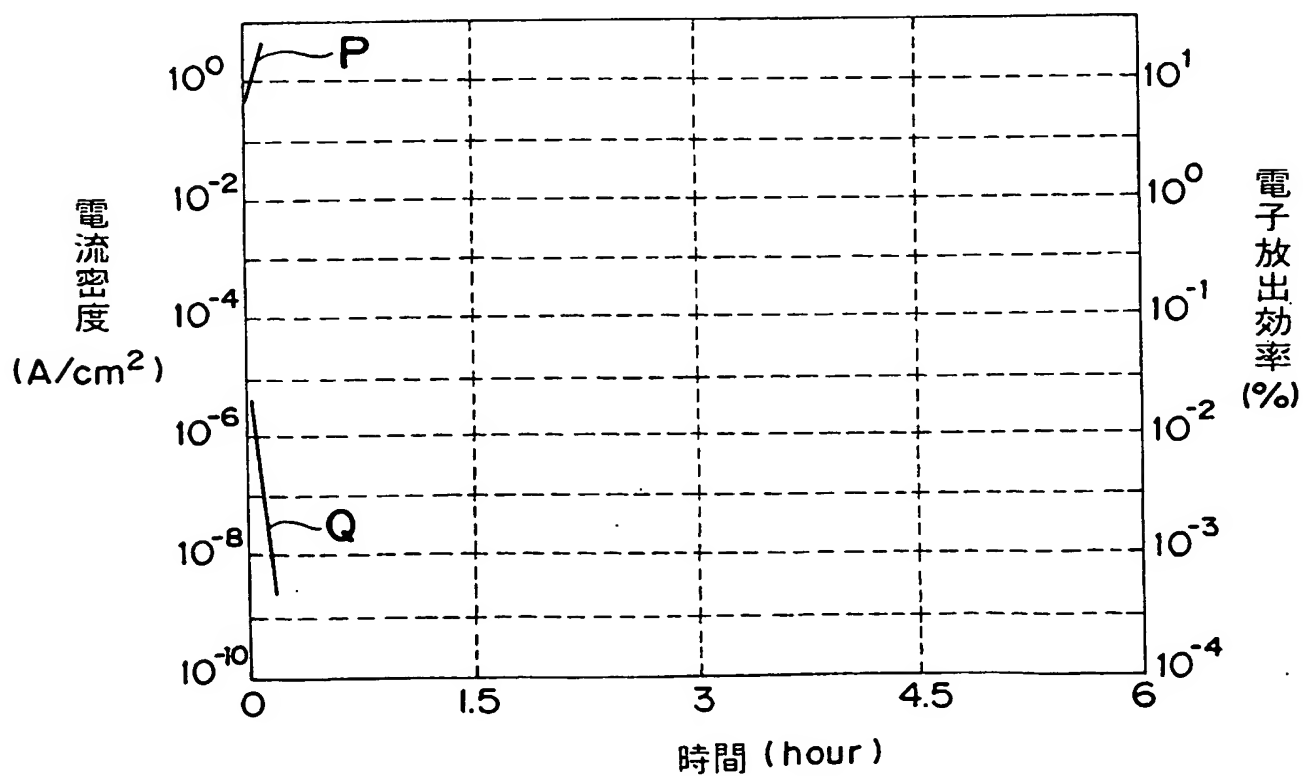


図 29



20/26

図 30

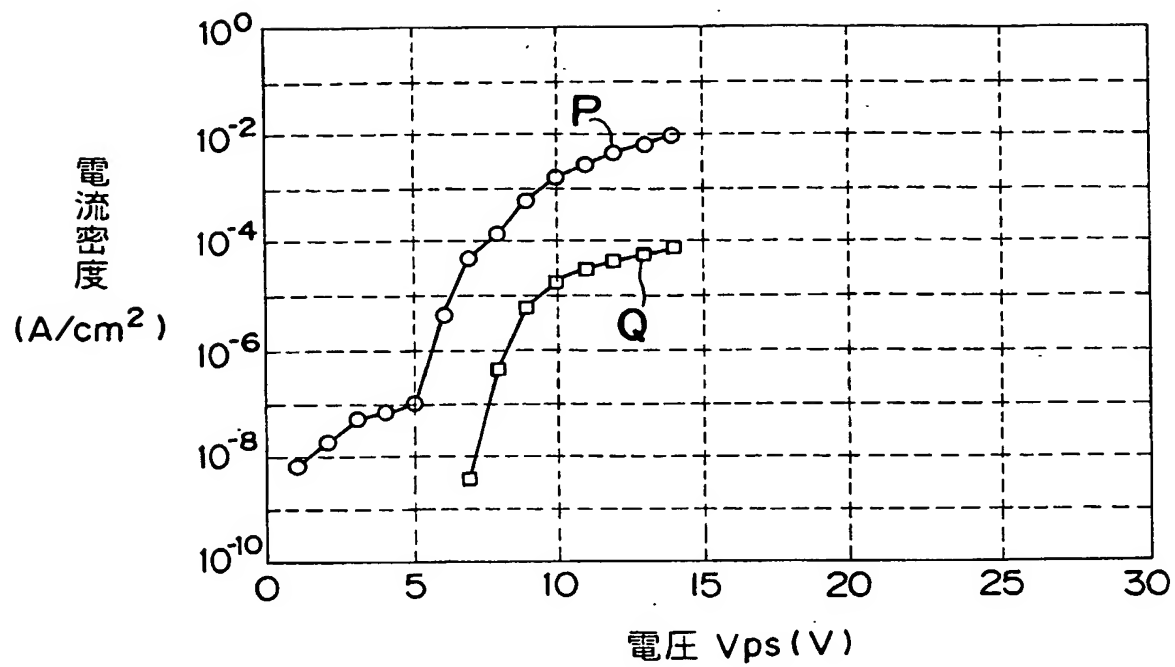
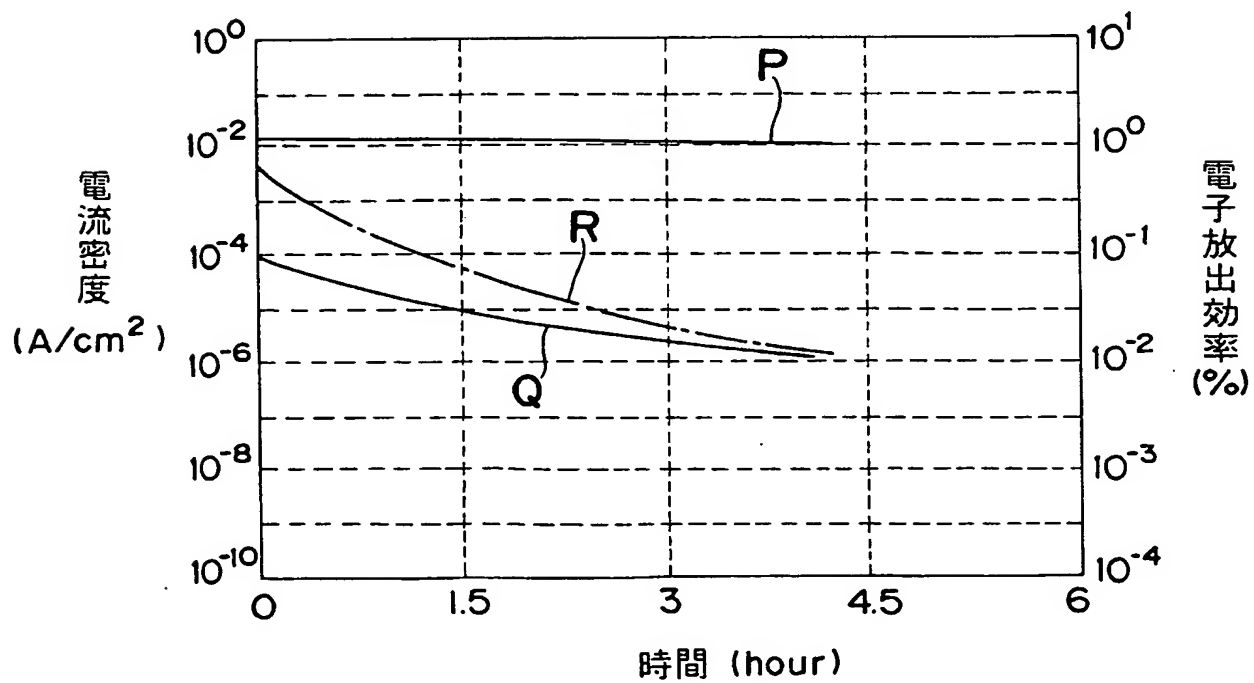


図 31



21/26

図 32

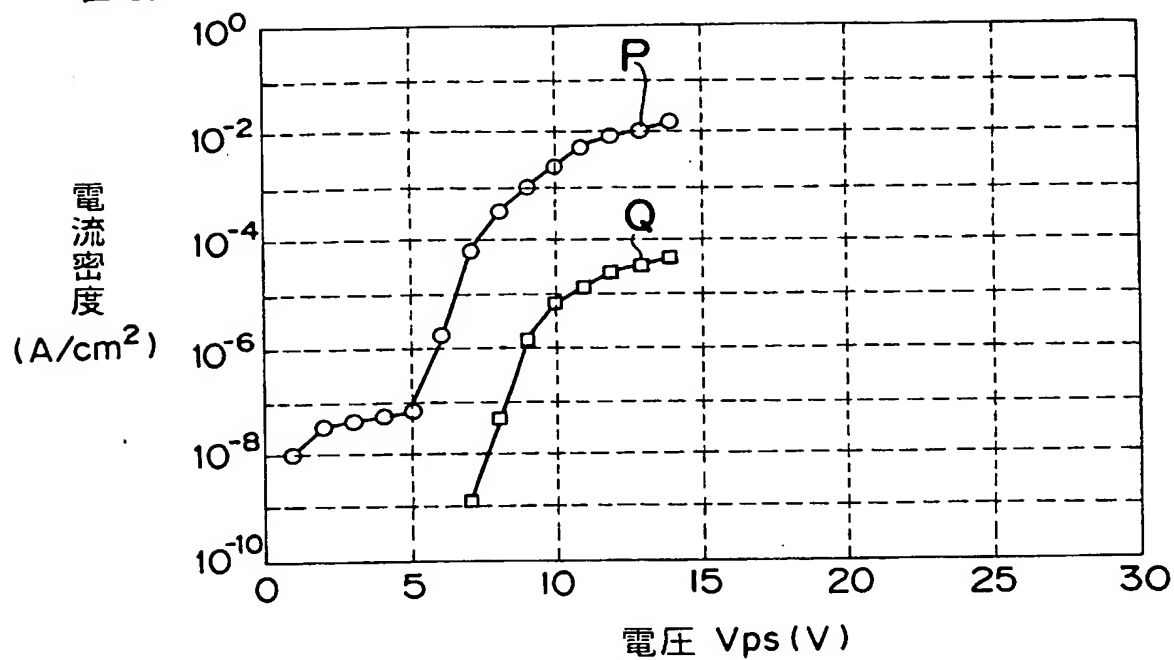
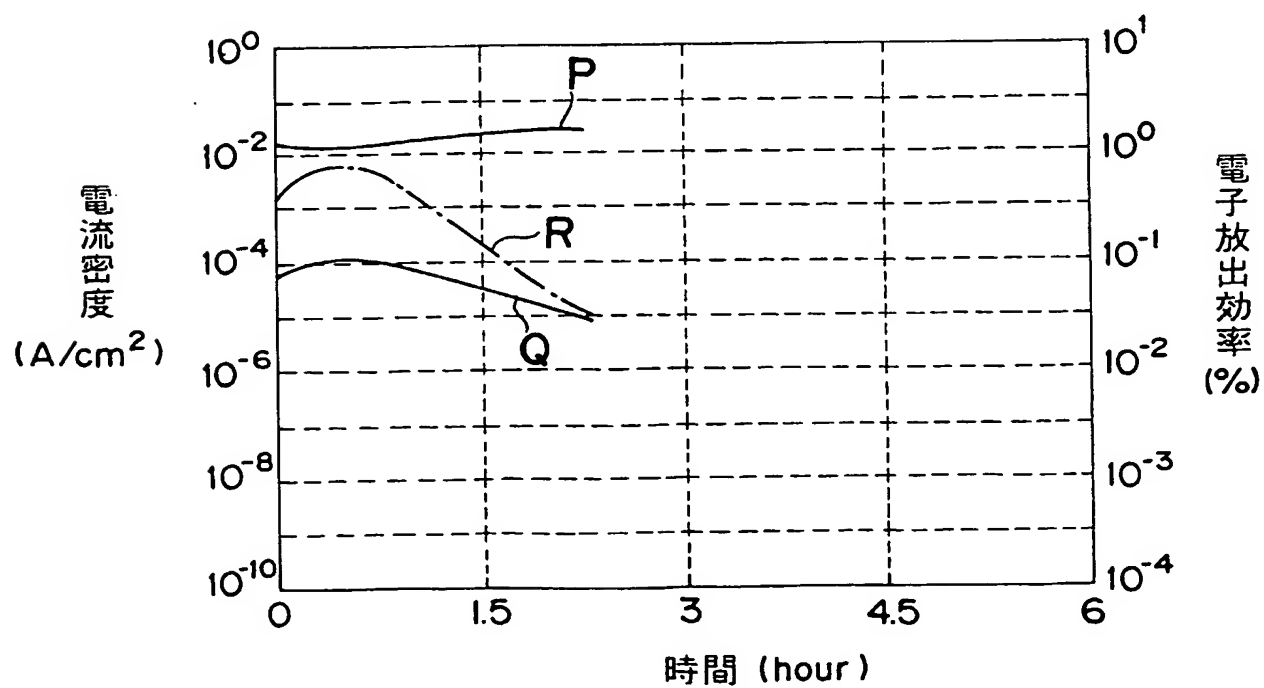


図 33



22/26

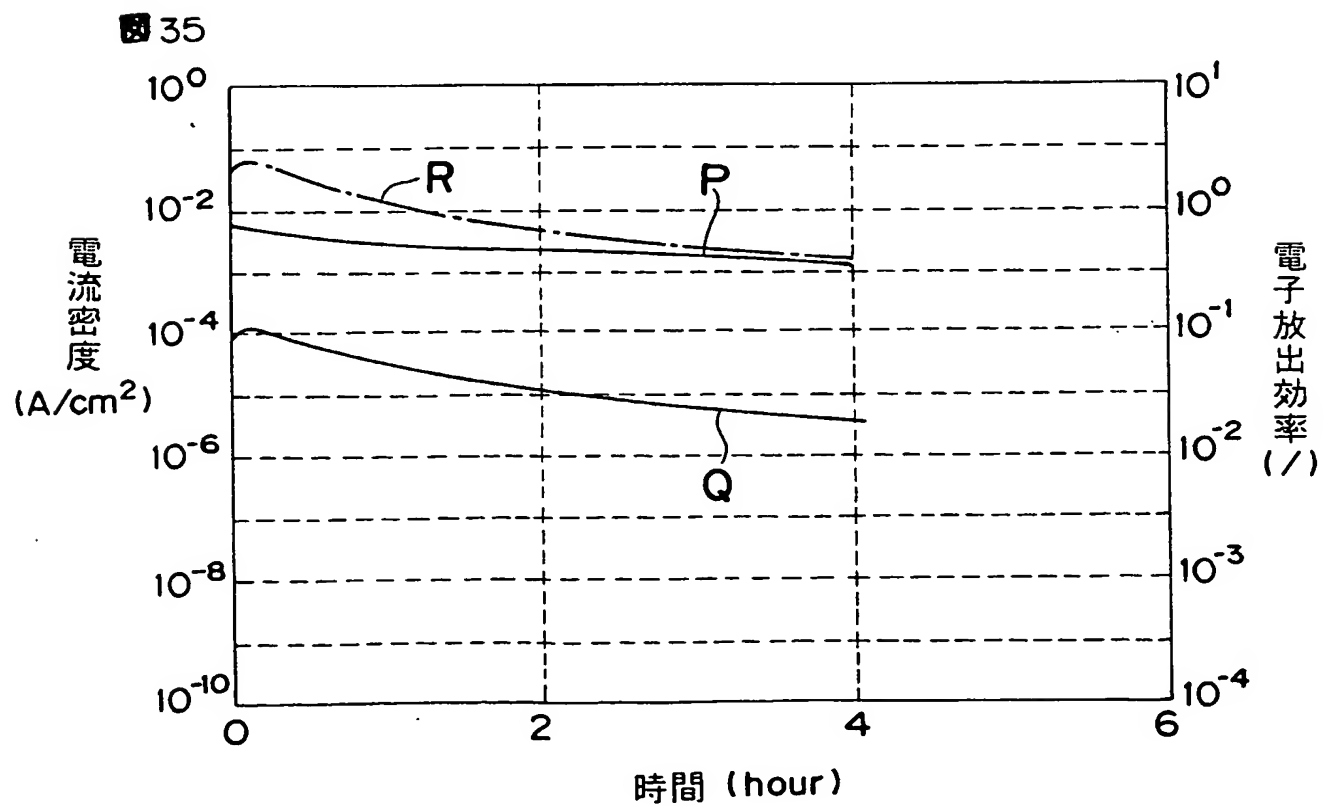
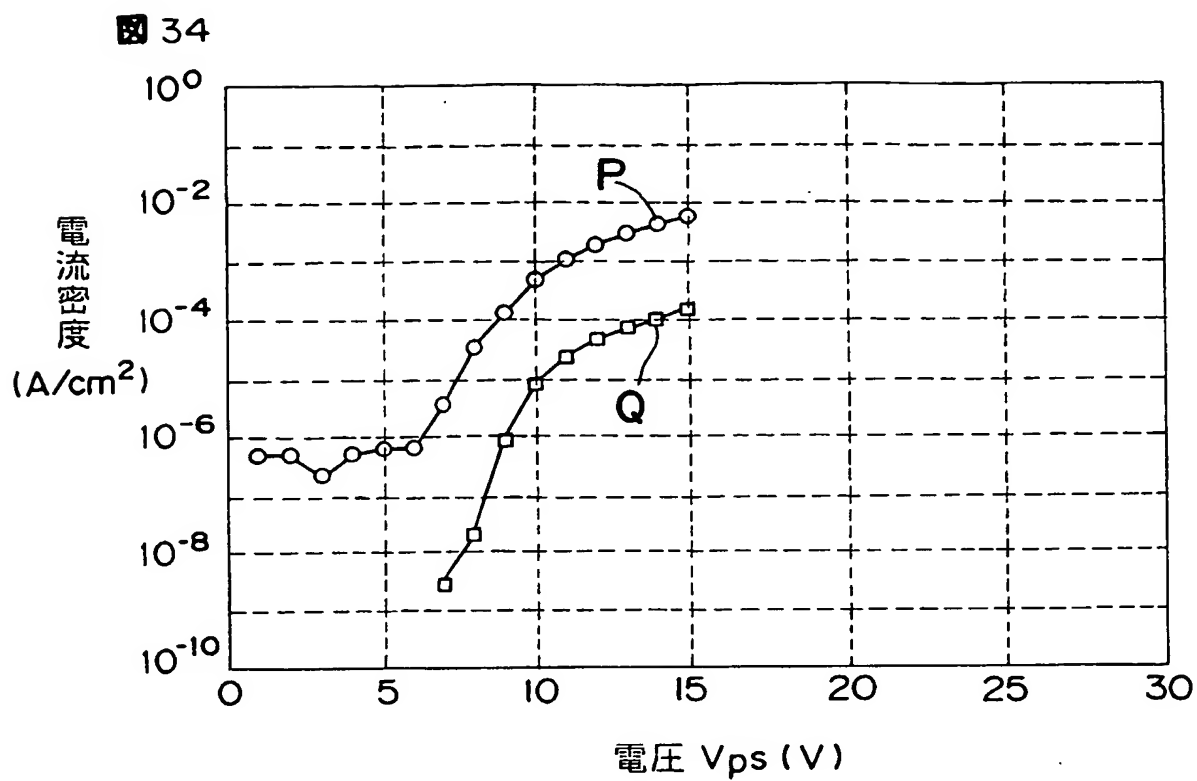




図 3 6 A

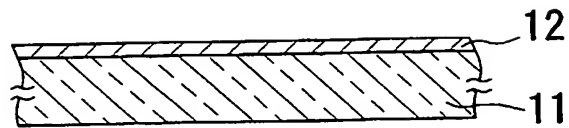


図 3 6 B

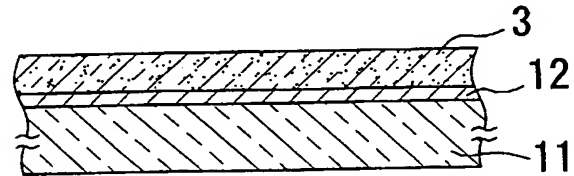


図 3 6 C

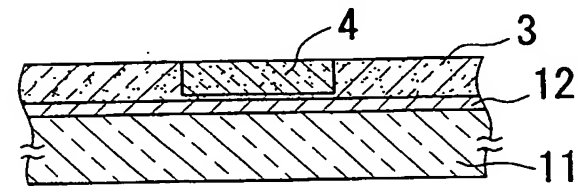


図 3 6 D

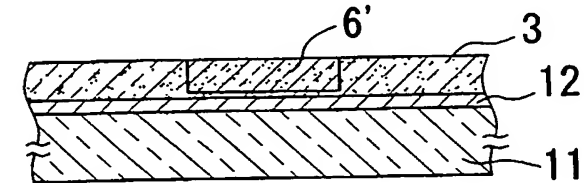


図 3 6 E

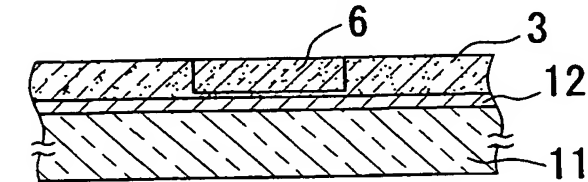


図 3 6 F

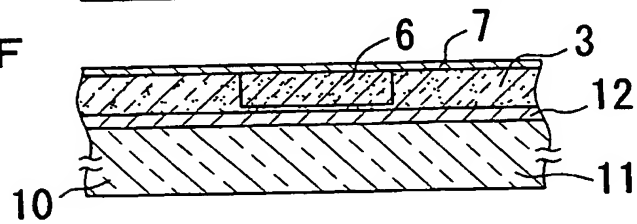


図 3 7

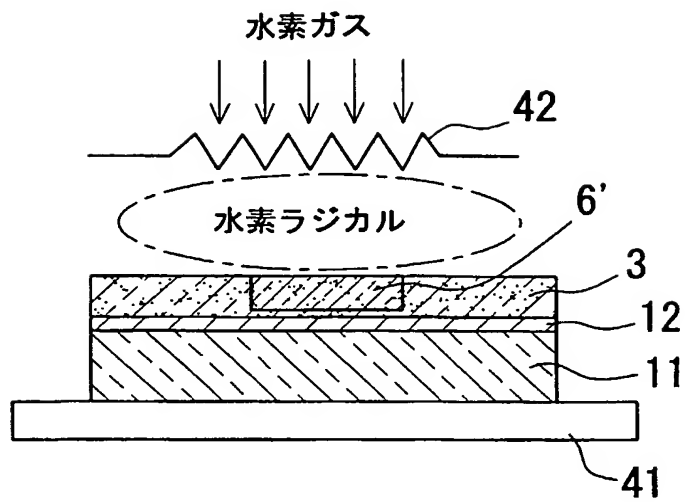


図 3 8

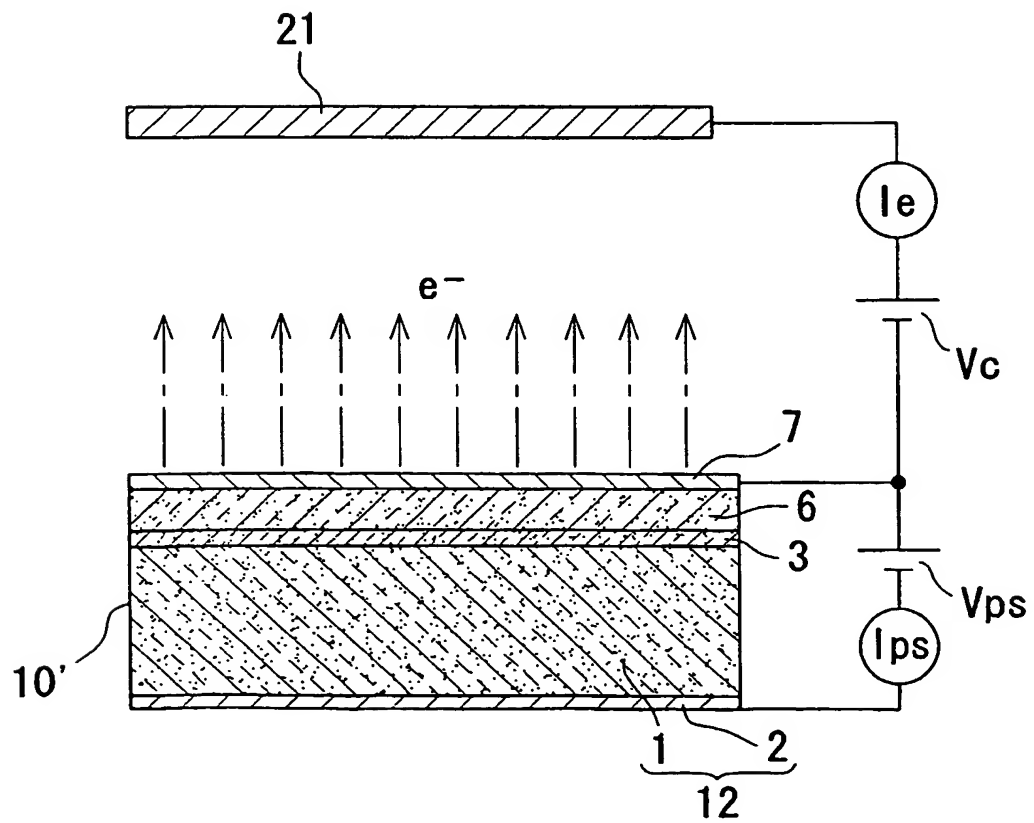


図 39

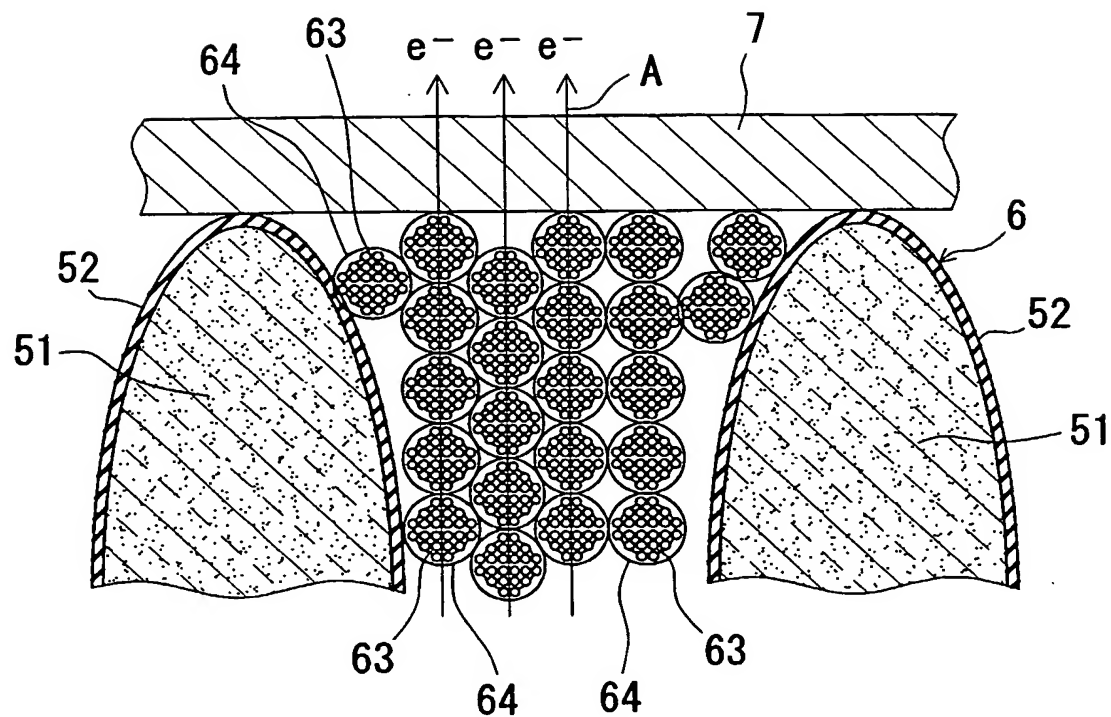
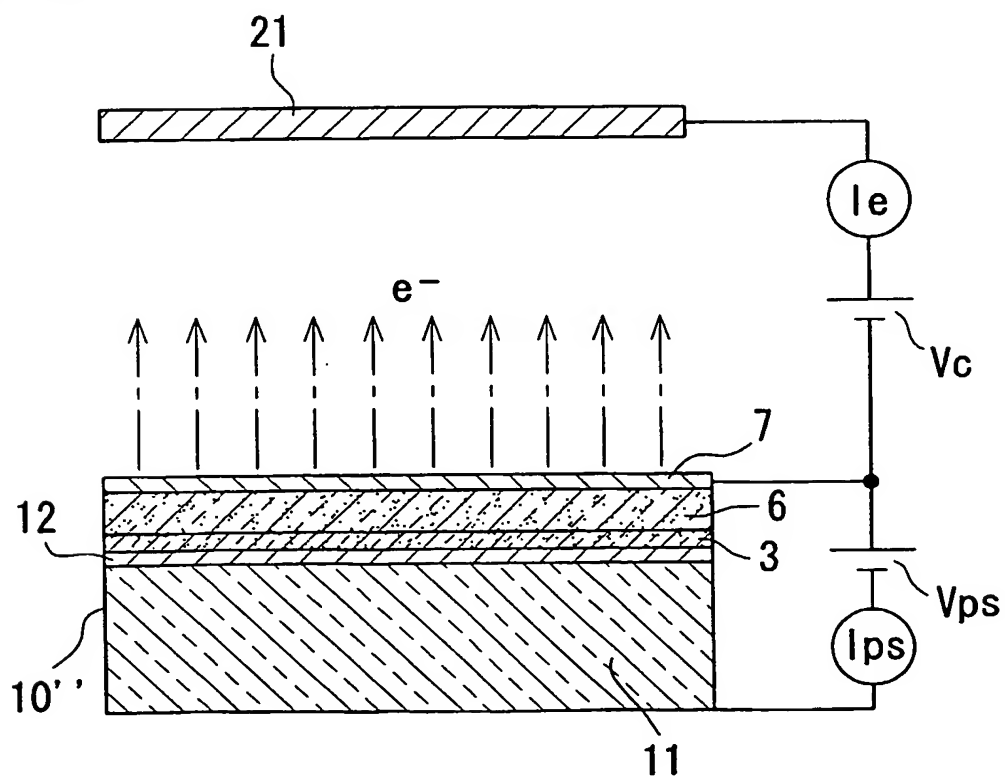


図 40



26 / 26

図 4 1

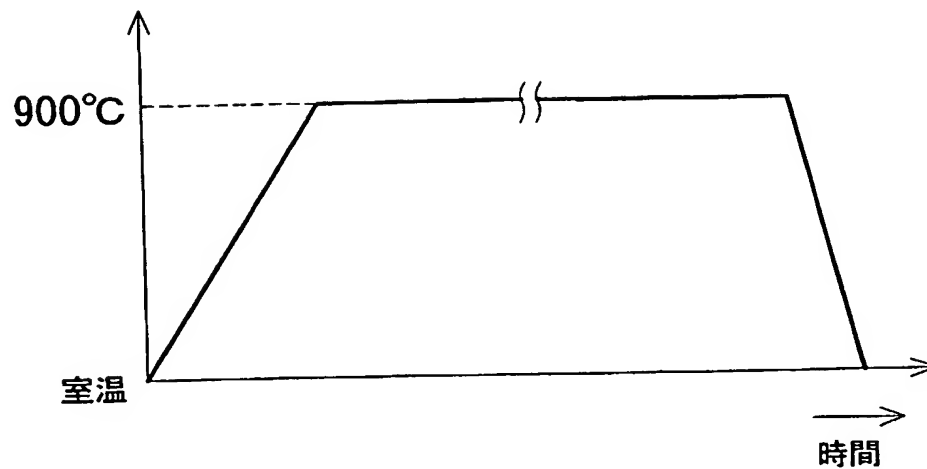


図 4 2

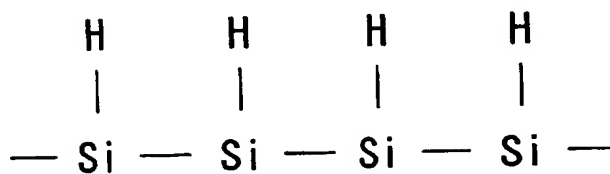
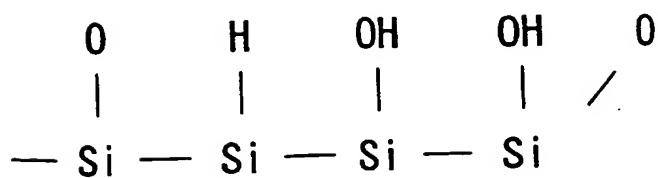


図 4 3



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/04054

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01J1/312, H01J9/02

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01J1/312, H01J9/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	EP 989577 A2 (Matsushita Electric Works, Ltd.), 29 March, 2000 (29.03.00), Full text; all drawings Full text; all drawings Full text; all drawings & JP 2000-100316 A & JP 2000-306494 A & KR 2000/23410 A & KR 2001/101847 A & CN 1249525 A & TW 436836 A & SG 74751 A	1, 4, 5 2, 12 3, 6-11
Y	JP 10-256225 A (Japan Science and Technology Corp.), 25 September, 1998 (25.09.98), Full text; all drawings (Family: none)	2



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
05 August, 2002 (05.08.02)Date of mailing of the international search report  
20 August, 2002 (20.08.02)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

Form PCT/ISA/210 (second sheet) (July 1998)

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/04054

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, A	EP 1094485 A2 (Matsushita Electric Works, Ltd.), 25 April, 2001 (25.04.01), Full text; all drawings & JP 2001-210224 A & JP 2001-283717 A & KR 2001/51104 A & CN 1293441 A	3
Y	JP 2001-6530 A (Matsushita Electric Works, Ltd.), 12 January, 2001 (12.01.01), Full text; all drawings & EP 1047095 A2 & JP 2001-189123 A & JP 2001-189124 A & KR 2001/20773 A & CN 1271958 A & SG 87104 A	12

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01J1/312, H01J9/02

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01J1/312, H01J9/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年  
 日本国公開実用新案公報 1971-2002年  
 日本国登録実用新案公報 1994-2002年  
 日本国実用新案登録公報 1996-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	EP 989577 A2 (Matsushita Electric Works, Ltd.) 2000.03.29 全文, 全図	1, 4, 5
Y	全文, 全図	2, 12
A	全文, 全図 & JP 2000-100316 A & JP 2000-306494 A & KR 2000/23410 A & KR 2001/101847 A & CN 1249525 A & TW 436836 A	3, 6-11

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日 05.08.02

国際調査報告の発送日 20.08.02

国際調査機関の名称及びあて先  
 日本国特許庁 (ISA/JP)  
 郵便番号 100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
 渡戸 正義

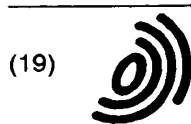


2G 9023

電話番号 03-3581-1101 内線 3225

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
	& SG 74751 A	
Y	JP 10-256225 A (科学技術振興事業団) 1998. 09. 25 全文, 全図 (ファミリーなし)	2
P, A	EP 1094485 A2 (Matsushita Electric Works, Ltd.) 2001. 04. 25 全文, 全図 & JP 2001-210224 A & JP 2001-283717 A & KR 2001/51104 A & CN 1293441 A	3
Y	JP 2001-6530 A (松下電工株式会社) 2001. 01. 12 全文, 全図 & EP 1047095 A2 & JP 2001-189123 A & JP 2001-189124 A & KR 2001/20773 A & CN 1271958 A & SG 87104 A	12





(19)

Europäisches Patentamt  
European Patent Office  
Office européen des brevets



(11)

**EP 1 320 116 A1**

(12)

**EUROPEAN PATENT APPLICATION**  
published in accordance with Art. 158(3) EPC

(43) Date of publication:

18.06.2003 Bulletin 2003/25

(21) Application number: 02722726.3

(22) Date of filing: 24.04.2002

(51) Int Cl.7: **H01J 1/312, H01J 9/02**

(86) International application number:

**PCT/JP02/04054**

(87) International publication number:

**WO 02/089166 (07.11.2002 Gazette 2002/45)**

(84) Designated Contracting States:

**AT BE CH DE DK ES FI FR GB IT LI NL SE**

(30) Priority: 24.04.2001 JP 2001125156

24.04.2001 JP 2001125157

28.05.2001 JP 2001159625

26.10.2001 JP 2001329908

(71) Applicant: Matsushita Electric Works, Ltd.

Kadoma-shi, Osaka 571-8686 (JP)

(72) Inventors:

- KOMODA, Takuya,  
MATSUSHITA ELECTRIC WORKS, LTD.  
Kadoma-shi, Osaka 571-8686 (JP)
- AIZAWA, Koichi,  
MATSUSHITA ELECTRIC WORKS, LTD.  
Kadoma-shi, Osaka 571-8686 (JP)
- HONDA, Yoshiaki,  
MATSUSHITA ELECTRIC WORKS, LTD.  
Kadoma-shi, Osaka 571-8686 (JP)

- ICHIHARA, Tsutomu,  
MATSUSHITA ELECTRIC WORKS, LTD.  
Kadoma-shi, Osaka 571-8686 (JP)

- WATABE, Yoshifumi,  
MATSUSHITA ELECTRIC WORKS, LTD.  
Kadoma-shi, Osaka 571-8686 (JP)

- HATAI, Takashi,  
MATSUSHITA ELECTRIC WORKS, LTD.  
Kadoma-shi, Osaka 571-8686 (JP)

- BABA, Toru,  
MATSUSHITA ELECTRIC WORKS, LTD.  
Kadoma-shi, Osaka 571-8686 (JP)

- TAKEGAWA, Yoshiyuki,  
MATSUSHITA ELECT. WORKS, LTD.  
Kadoma-shi, Osaka 571-8686 (JP)

(74) Representative: Dallmeyer, Georg, Dipl.-Ing. et al

Patentanwälte

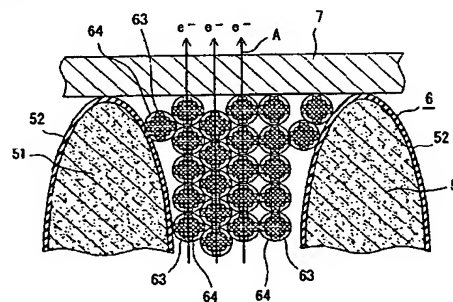
von Kreisler-Selting-Werner

Postfach 10 22 41

50462 Köln (DE)

(54) **FIELD EMISSION ELECTRON SOURCE AND PRODUCTION METHOD THEREOF**

(57) In a field emission-type electron source (10), a strong field drift layer (6) and a surface electrode (7) consisting of a gold thin film are provided on an n-type silicon substrate (1). An ohmic electrode (2) is provided on the back surface of the n-type silicon substrate (1). A direct current voltage is applied so that the surface electrode (7) becomes positive in potential relevant to the ohmic electrode (2). In this manner, electrons injected from the ohmic electrode (2) into the strong field drift layer (6) via the n-type silicon substrate (6) drift in the strong field drift layer (6), and is emitted to the outside via the surface electrode (7). The strong field drift layer (6) has: a number of semiconductor nanocrystals (63) of nano-meter order formed partly of a semiconductor layer configuring the strong field drift layer (6); and a number of insulating films (64) each of which is formed on the surface of each of the semiconductor nanocrystals (63) and each having film thickness to an extent such that an electron tunneling phenomenon occurs.

*Fig. 1***EP 1 320 116 A1**

## Description

### TECHNICAL FIELD

**[0001]** The present invention relates to a field emission-type electron source which emits electron beams by means of electric field emission using semiconductor materials, and further to a manufacturing method thereof. More particularly, the present invention relates to a method and apparatus for forming insulating thin films on surfaces of semiconductor crystals when the field emission-type electron source is manufactured.

### BACKGROUND OF THE INVENTION

**[0002]** Conventionally, as a field emission-type electron source (hereinafter, simply referred to as "electron source"), for example, there is known a Spindt type electrode disclosed in U.S. Patent No. 3,665,241 or the like. The Spindt type electrode includes a substrate having a number of fine triangular pyramid shaped emitter chips disposed thereon; and a gate layer which is insulated relevant to the emitter chips and has emission holes for exposing the tip ends of the emitter chips. The Spindt type electrode emits electron beams through the emission holes from the tip ends of the emitter chips by applying a high voltage so that the emitter chips are negative in polarity relevant to the gate layer.

**[0003]** However, the Spindt type electrode is complex in manufacturing process, and it is difficult to precisely fabricate a number of triangular pyramid shaped emitter chips. Thus, for example, in the case where this is applied to a planar light emitter or display, there is such a problem that it is difficult to make its surface area larger. In addition, in the Spindt type electrode, the electric field concentrates on the tip ends of the emitter chips. Thus, in the case where the degree of vacuum around the tip ends of the emitter chips is low so that the residual gas exists, the residual gas is ionized to positive ions by means of the emitted electrons. The positive ions collide to the tip ends of the emitter chips so that the tip ends of the emitter chips are subjected to damage (for example, damage due to ion shock). Thus, there occurs such a disadvantage that the current density or emission efficiency of the emitted electrons becomes unstable, and the service lives of the emitter chips are reduced. Therefore, in order to prevent the above-mentioned disadvantage, it is required to use the Spindt type electrode in a high vacuum (about  $10^{-5}$  Pa to about  $10^{-6}$  Pa) condition. As the result, there is a problem that higher cost or complicated handling may result.

**[0004]** In order to improve the above-mentioned disadvantage, there is proposed an electron source of an MIM (Metal Insulator Metal) type or MOS (Metal Oxide Semiconductor) type. The former is a planar type electron source having a deposited structure of metal - insulating film - metal, while the latter is a planar type electron source having a deposited structure of metal - oxide

film - semiconductor. In an electron source of such type, in order to improve the electron emission efficiency (that is, in order to emit much electrons), it is required to reduce the thickness of an insulating film or oxide film. However, if the thickness of the insulating film or oxide film is too small, there is a danger that insulation destruction occurs when a voltage is applied between the upper and lower electrodes of the deposited structures. Such insulation destruction must be prevented, and thus, there is a limitation in reduction of the thickness of the insulating film or oxide film. Thus, there is a problem that electron emission efficiency (lead-out efficiency) cannot be increased so much.

**[0005]** In recent years, there is proposed an electron source (semiconductor cool electron emission element) with its high electron emission efficiency so as to apply a voltage between a semiconductor substrate and a surface electrode, thereby emitting electrons. In the electron source, one surface of a single-crystalline semiconductor substrate such as silicon substrate is anodically oxidized, thereby forming a porous semiconductor layer (porous silicon layer). Then, on the porous semiconductor layer, a surface electrode consisting of a metal thin film (electrically conductive thin film) is formed.

**[0006]** However, in the electron source disclosed in Japanese Laid-open Patent Publication No. 8-250766, a popping phenomenon is likely to occur during electron emission, and non-uniformity is likely to occur in electron emission quantity. Thus, if this is applied to a planar light emitter or display device, there is a problem that non-uniform light emission is produced.

**[0007]** In order to solve the above-mentioned problems, for example in Japanese Patent Applications No. 10-272340 and No. 10-272342 etc., the present inventors proposed an electron source in which a strong field drift layer (hereinafter simply referred to as "drift layer") where electrons injected from the electrically conductive substrate drift is interposed between the electrically conductive substrate and the metal thin film (surface electrode).

**[0008]** For example, as shown in Fig. 38, in an electron source 10' of such type, a drift layer 6 consisting of an oxidized porous polycrystalline silicon layer (porous polycrystalline silicon layer) on a main surface side of an n-type silicon substrate 1 that is an electrically conductive substrate. A surface electrode 7 consisting of a metal thin film (for example, metal film) is formed on the drift layer 6. In addition, an ohmic electrode 2 is formed on the back face of an n-type silicon substrate 1. A lower electrode 12 (electrically conductive substrate) is composed of the n-type silicon substrate 1 and ohmic electrode 2. In an example shown in Fig. 38, although a non-doped polycrystalline silicon layer 3 is interposed between the lower electrode 12 and the drift layer 6, there is proposed an electron source having the drift layer 6 formed on the lower electrode 12.

**[0009]** Then, a collector electrode 21 consisting of a transparent electrically conductive film (for example,

ITO film) is disposed in opposite to the surface electrode 7. In order to emit an electron from the electron source 10', while a vacuum is provided between the surface electrode 7 and the collector electrode 21, a direct current voltage  $V_{ps}$  is applied between the surface electrode 7 and the lower electrode 12 so that the surface electrode 7 becomes high in potential relevant to the lower electrode 12. In addition, a direct current voltage  $V_c$  is applied between the collector electrode 21 and the surface electrode 7 so that the collector electrode 21 becomes high in potential relevant to the surface electrode 7. When direct current voltages  $V_{ps}$  and  $V_c$  are properly set, electrons injected from the lower electrode 12 drift in the drift layer 6, and are emitted via the surface electrode 7 (the single dotted chain line in Fig. 38 indicates the flow of electrons "e-" emitted through the surface electrode 7). The thickness of the surface electrode 7 is set to about 3 nm to 15 nm.

**[0010]** In the drift layer 6, after a non-doped polycrystalline silicon layer has been formed on the lower electrode 12, the polycrystalline silicon layer is made porous in accordance with anodic oxidization processing, thereby forming a porous polycrystalline silicon layer. Thus porous polycrystalline silicon layer is formed in accordance with a rapid thermal oxidizing technique for carrying out rapid thermal oxidization at 900°C, for example.

**[0011]** As shown in Fig. 39, the drift layer 6 includes: at least columnar polycrystalline silicon grains 51; thin insulating films 52; a number of silicon nanocrystals 63 of nano-meter order; and a number of insulating films 64. The grains 51 are arranged on the main surface side of the n-type silicon substrate 1 (namely, the surface electrode 7 side in the lower electrode 12). The insulating films 52 are formed on the surfaces of the grains 51. The silicon nanocrystals 63 are interposed among the grains 51. The insulating films 64 are formed on the surfaces of the silicon nanocrystals 63, each of which has a film thickness smaller than the crystalline particle size of the silicon nanocrystal 63. In short, in the drift layer 6, the surface of each grain 51 in the polycrystalline silicon layer is made porous, and a crystalline state is maintained at the center portion of each grain 51. Each grain 51 extends in the thickness direction of the lower electrode 12. Insulating films 52 and 64 are composed of silicon oxide films.

**[0012]** In the electron source 10', it is believed that electron emission occurs in the following model. That is, during electron emission, a direct current voltage  $V_{ps}$  having the surface electrode 7 provided as a high potential is applied between the surface electrode 7 and the lower electrode 12, and a direct current voltage  $V_c$  having the collector electrode 21 provided as a high potential is applied between the collector electrode 21 and the surface electrode 7. When the direct current voltage  $V_{ps}$  reaches a predetermined value (critical value), the electrons "e-" are injected from the lower electrode into the drift layer 6 due to thermal excitation. On the other hand, a majority of the electron field applied to the drift

layer 6 is applied to the insulating films 64. Thus, the injected electrodes "e-" are accelerated by the strong electric field applied to the insulating films 64. Then, the electrons "e-" drift in the drift layer 6 in an orientation indicated by the arrow A in Fig. 39 from a region between the grains 51 toward the surface, tunnel the surface electrode 7, and are emitted into the vacuum.

**[0013]** In this manner, in the drift layer 6, the electrons injected from the lower electrode 12 are accelerated and drift in the electric field applied to the insulating films 64 without being hardly diffused at the silicon nanocrystals 63. Then, the electrons are emitted via the surface electrode 7 (ballistic type electron emission phenomenon). At this time, a heat generated in the drift layer 6 is radiated via the grains 51. Thus, popping phenomenon does not occur during electron emission, and the electrons can be constantly emitted. The electrons arrived at the surface of the drift layer 6 are believed to be hot electrons. The electrons easily tunnel the surface electrode 7, and are emitted into the vacuum.

**[0014]** In the meantime, in the electron source 10', the lower electrode 12 is composed of the n-type silicon substrate 1 and ohmic electrode 2. However, as shown in Fig. 40, for example, there is proposed an electron source 10" in which the lower electrode 12 consisting of a metal material is formed on one surface of an insulating substrate 11 consisting of a glass substrate. In Fig. 40, constituent elements common to the electron source 10' shown in Fig. 38 are designated by like reference numbers. A description thereof is omitted here. In the electron source 10" shown in Fig. 40 as well, electrons can be emitted in a process similar to a case of the electron source 10' shown in Fig. 38.

**[0015]** In the electron sources 10' and 10", in general, a current flowing between the surface electrode 7 and the lower electrode 12 is referred to as a diode current  $I_{ps}$ , and a current flowing between the collector electrode 21 and the surface electrode 7 is referred to as an emission current (emission electron current)  $I_e$ . As a rate ( $I_e / I_{ps}$ ) of the emission current  $I_e$  to the diode current  $I_{ps}$  increases, electron emission efficiency ( $(I_e / I_{ps}) \times 100$  [%]) increases. In the electron sources 10' and 10", even if the direct current voltage  $V_{ps}$  applied between the surface electrode 7 and the lower electrode 12 is defined as a low voltage of about 10 V to 20 V, electrons can be emitted. In addition, as the direct current voltage  $V_{ps}$  increases, the emission current  $I_e$  increases.

**[0016]** In the meantime, in a process for manufacturing the electron sources 10' and 10", the step of forming the drift layer 6 consists of the film forming step, anodic oxidization processing step, and oxidizing step. In the film forming step, a non-doped polycrystalline silicon layer is formed as a semiconductor layer on one surface of the lower electrode 12. In the anodic oxidization processing step, a polycrystalline silicon layer is made porous in accordance with anodic oxidization processing step, thereby forming a porous polycrystalline silicon

layer that contains the polycrystalline silicon grains 51 and silicon nanocrystals 63. In the anodic oxidation processing step, there is employed a mixture solution obtained by mixing a hydrogen fluoride water solution and ethanol at substantially 1 : 1 as an electrolytic solution employed for anodic oxidation. In the oxidizing step, the porous polycrystalline silicon layer is rapidly thermally oxidized in accordance with the rapid thermal oxidation technique that is a high temperature process, and thin insulating films (silicon oxide films) 52 and 64 are formed respectively on the surfaces of the grains 51 and silicon nanocrystals 63.

**[0017]** In addition, as shown in Fig. 41, in the oxidizing step, a substrate temperature is risen from room temperature to a heat treatment temperature (for example, 900°C) in dry oxygen by employing a lamp annealing device, for example. Then, the substrate temperature is held at this heat treatment temperature by a predetermined heat treatment time (for example, 1 hour), thereby oxidizing the porous polycrystalline silicon layer. Then, the substrate temperature is lowered to room temperature.

**[0018]** There is proposed an electron source formed of a nitride porous polycrystalline silicon layer instead of an oxidized porous polycrystalline silicon layer. Further, there is proposed an electron source formed of the oxidized or nitrated porous single-crystalline silicon layer as well.

**[0019]** In a conventional electron source comprising such a drift layer, it is possible to increase an area and to ensure cost reduction. In the case where an electron source of such type is applied as an electron source of a display, the surface electrode or lower electrode (electrically conductive substrate) may be properly patterned. However, in such a conventional electron source, the following problems occur.

(Problem 1)

**[0020]** In the conventional electron source of such type, there is a problem that there increases a deviation in characteristics such as electron emission efficiency, dielectric strength, service life between manufactured lots. As a result of detailed study of such cause, it has been found that this deviation is caused by a deviation in thickness of the silicon oxide film that is an insulating film.

(Problem 2)

**[0021]** As has been described previously, a rapid thermal oxidation technique is employed in the oxidizing step. However, in order to form the silicon oxide films 52 and 64 with their good film quality on the surface of all the grains 51 and silicon nanocrystals 63, there can be employed the oxidizing step for oxidizing a porous polycrystalline silicon layer in an electrolytic solution consisting of water solution such as sulfuric acid or nitric acid

in accordance with an electrochemical oxidation technique.

**[0022]** By employing the electrochemical oxidation technique, a process temperature can be reduced as compared with the case of employing the rapid thermal oxidation technique. Thus, a resistance on a substrate material is reduced. In the case of employing a glass substrate, a non-alkali glass substrate or low alkali glass substrate and the like with its low heat resistance temperature and modest price can be employed as compared with a quartz glass substrate. Therefore, there is an advantage that a larger area for the electron sources 10' and 10" and cost reduction can be achieved more efficiently.

**[0023]** However, in the conventional electron source manufactured by oxidizing the porous polycrystalline silicon layer in accordance with an electrochemical oxidation technique, there is a problem that the dielectric strength is low as compared with the electron source oxidized and manufactured in accordance with the rapid thermal oxidation technique. This is because an SiO<sub>2</sub> film formed in accordance with the electrochemical oxidation technique is much in water content or strain as compared with that formed in accordance with the rapid thermal oxidation technique. In the electron sources 10' and 10" manufactured by oxidizing the porous polycrystalline silicon layer in accordance with the rapid thermal oxidation technique as well, it is desired that the electron emission efficiency, dielectric strength, and service life be improved more remarkably. However, as the result of a variety of analytical evaluations (such as photo luminescence measurement, sectional TEM observation, or XPS composition analysis, for example) regarding the drift layer 6, the following findings were obtained. That is, the film thickness of the silicon oxide film 64 increases as the film is closer to the surface of the drift layer 6, the silicon nanocrystal 63 is destroyed, and the silicon nanocrystal 63 does not exist in the vicinity of the surface of the drift layer 6. Thus, in the conventional electron sources 10' and 10", there is a danger that a part of the electrons injected into the drift layer 6 are diffused or captured by the silicon oxide film 64 which is larger than the film thickness (degree of mean free path of electrons) to an extent such that an electron tunneling phenomenon occurs. In this case, there is a danger that the electron emission efficiency is lowered, and the dielectric strength and service life is reduced.

(Problem 3)

**[0024]** In anodic oxidation processing, a mixture solution between hydrogen fluoride water solution and ethanol is utilized as an electrolytic solution. Thus, as shown in Fig. 42, the porous polycrystalline silicon layer formed in accordance with anodic oxidation processing is terminated by a hydrogen atom on its top surface. Further, it is believed that water is adsorbed on the surface of the porous polycrystalline silicon layer.

[0025] If the porous polycrystalline silicon layer formed in accordance with anodic oxidization processing is oxidized on a temperature profile as shown in Fig. 41, a hydrogen atom remains or Si-OH coupling occurs, as shown in Fig. 43. Thus, there is a problem that an oxide film with its fine structure consisting of SiO<sub>2</sub> is hardly produced, and the dielectric strength is lowered. Further, there is a problem that a fluorine atom as well remains in the drift layer 6 other than the hydrogen atom. In addition, the content of hydrogen in the drift 6 is comparatively large in quantity. Thus, there is a danger that the distribution of hydrogen in the drift layer 6 changes with an elapse of time (for example, a hydrogen atom desorbs from the surface of the drift layer 6), and the stability of electron emission efficiency with an elapse of time is impaired.

(Problem 4)

[0026] When a comparatively inexpensive glass substrate (such as no-alkali glass substrate, a low alkali glass substrate, or soda lime glass substrate, for example) is employed as an insulating substrate 11 in the electron source 10", as compared with a quartz glass substrate, although a heat resistance temperature of the insulating substrate 11 is lowered, cost reduction can be achieved. Because of this, it is believed that the temperature of forming the porous silicon layer is lowered (for example, set to 600°C or less).

[0027] However, in the case of forming the polycrystalline silicon layer at a comparatively low temperature, the crystalline properties of the polycrystalline silicon layer is impaired as compared with the polycrystalline silicon layer formed at a comparatively high temperature, and a large number of defects occurs. As a result, there is a problem that a number of defects contained in the drift layer 6 increases, the electron emission characteristics are impaired, and the reliability is lowered. For example, if a defect exists in the silicon oxide films 52 and 64 each in the drift layer 6, the dielectric strength of the silicon oxide films 52 and 64 each is lowered, and the dielectric strength of the electron source is lowered. Alternatively, the electron emission efficiency is lowered because of electron diffusion.

(Problem 5)

[0028] In the conventional electron sources 10' and 10", in the case where these sources are continuously driven for a long time, there is problem that the diode current I<sub>ps</sub> decreases with an elapse of time, and concurrently, the emission current I<sub>c</sub> decreases as well. As a cause thereof, it is believed that an electron is captured by a trap in an insulating film 64, an electric field in the insulating film 64 is alleviated, and the tunneling probability of electrons is lowered.

[0029] Further, in the above-described manufacturing method, there is employed a process requiring a com-

paratively high heat treatment temperature (for example, 900°C) and a comparatively long heat treatment time (for example, 1 hour) in the oxidizing step. Thus, there is a problem that the process time is extended. Further, there is a problem that a non-alkali glass substrate or low alkali glass substrate with its low heat resistance temperature, which is comparatively inexpensive as compared with a quartz glass substrate, can not be employed as an insulating substrate 11.

(Problem 6)

[0030] In the conventional electron sources 10' and 10", although an electron can be emitted constantly with high efficiency, it is desired to more remarkably improve the electron emission characteristics such as electron emission efficiency or the reliability such as dielectric strength. However, in the electron sources 10' and 10", it is believed that there exists a defect caused by a manufacturing process in the drift layer 6. For example, in the case where a defect exists in the silicon nanocrystal 63 or silicon oxide films 52 and 64 and the like, there is a problem that the lowering of electron emission efficiency due to electron diffusion or the lowering dielectric strength and the like is caused.

## DISCLOSURE OF THE INVENTION

[0031] The present invention has been achieved to solve the above-mentioned problems. It is an object of the present invention to provide an electron source and a manufacturing method thereof with high efficiency and high reliability that can be employed for a flat panel display element, a planar light source, or a solid vacuum device and the like, and that can emit electron beams in accordance with preferable electric field emission.

[0032] It is another object of the present invention to provide an electron source and a manufacturing method thereof making it easy to design the dielectric strength and the service life.

[0033] It is a still another object of the present invention to provide a method and apparatus for forming insulation thin films capable of forming insulation thin films with high dielectric strength as compared with the prior art, or alternatively, to provide an electron source capable of extending the service life as compared with the prior art.

[0034] It is a still another object of the present invention to provide a method of manufacturing the electron source capable of achieving cost reduction and capable of improving the electron emission characteristics and reliability such as electron emission efficiency.

[0035] The electron source (field emission-type electron source) according to the present invention includes: an electrically conductive substrate; a drift layer (strong field drift layer) formed on the electrically conductive substrate; and a surface electrode formed on the drift layer. The drift layer has a number of semiconductor na-

nanocrystals of nano-meter order formed partly of a semiconductor layer configuring the drift layer, and has a number of insulating films each of which is formed on the surface of each of the semiconductor nanocrystals, the films having film thickness smaller than the crystalline particle size of the semiconductor nanocrystals. The insulating film formed on the surface of each of the semiconductor nanocrystal has film thickness (degree of mean free path of electrons) in which an electron tunneling phenomenon occurs when an electron field is applied. In this manner, a voltage is applied between the surface electrode and the electrically conductive substrate so that the surface electrode becomes high in potential, whereby the electrons injected from the electrically conductive substrate into the drift layer drift in the drift layer, and are emitted via the surface electrode.

**[0036]** In this electron source, it is possible to reduce diffusion of the electrons in each insulating film, and to reduce the difference of thickness of the insulating films in the drift layer. Thus, it is easy to design dielectric strength and lifetime in electron source.

**[0037]** In this electron source, it is preferable that the water contained in the insulating film formed on the surface of each of the semiconductor nanocrystals is substantially 0 (substantially free of water). In this case, a defect or strain and the like that adversely affects electrical characteristics of the electron source is alleviated, and thus, insulating films with high dielectric strength and extended service life can be formed.

**[0038]** In this electron source, it is preferable that a compound layer or alloy layer consisting of a semiconductor and metal is interposed on a critical surface between the semiconductor layer configuring the drift layer and the electrically conductive substrate. In addition, it is preferable that the semiconductor layer is substantially crystallized on the critical surface between the semiconductor layer configuring the drift layer and the electrically conductive substrate. In those cases, a barrier layer or high resistance layer between the semiconductor layer and electrically conductive substrate can be reduced, and thus, the electron emission efficiency and reliability are improved.

**[0039]** A method of manufacturing an electron source according to the present invention is a process for manufacturing the above electron source according to the present invention. This electron source manufacturing method to form the insulating films on the surfaces of the semiconductor nanocrystals is carried out by any one of the electrochemical method, rapid thermal oxidation technique, rapid thermal nitriding technique, and rapid thermal oxidizing and nitriding technique or a combination thereof. By employing this manufacturing method, the film thickness of the insulating films can be obtained as thickness (degree of mean free path of electrons) if the electron tunneling phenomenon occurs.

**[0040]** In the method of manufacturing the electron source, after the insulating films have been formed on the surfaces of the semiconductor nanocrystals, it is

preferable that annealing processing at a temperature of 700°C or less be carried out in a vacuum, inert gas, foaming gas, or nitrogen gas. In this case, the water contained in the insulating film formed on the surface of each of the semiconductor nanocrystals can be set to substantially 0. Further, a barrier layer or high resistance layer between the semiconductor layer and the electrically conductive substrate can be reduced, and thus, the electron emission efficiency and reliability are improved.

**[0041]** In the method of manufacturing this electron source, after the insulating films have been formed on the surfaces of the semiconductor nanocrystals, it is preferable that a heat treatment be carried out in accordance with a rapid heating technique at a temperature of 600°C in atmosphere containing oxide species or nitride species. In this case, a defect or strain and the like, which adversely affect electrical characteristics of the electron source can be alleviated, and insulating films with high dielectric strength and extended service life can be formed. Further, a barrier layer or high resistance layer between the semiconductor layer and the electrically conductive substrate can be reduced, and thus, the electron emission efficiency and reliability are improved.

**[0042]** In this electron source manufacturing method, after the semiconductor nanocrystals have been formed, it is preferable that annealing processing be carried out in a vacuum or inert gas. In this case, a defect caused by impurities such as hydrogen or fluorine contained in a drift layer can be reduced as compared with a case of oxidizing a porous semiconductor layer while water or the like is adsorbed on the porous semiconductor layer immediately after anodic oxidization processing. In this manner, a fine oxide film can be formed, and there can be obtained an electron source with its small change of electron emission efficiency with an elapse of time, high dielectric strength, and high reliability. Further, a barrier layer or high resistance layer between the semiconductor layer and the electrically conductive substrate can be reduced, and thus, the electron emission efficiency and reliability are improved.

**[0043]** In this electron source manufacturing method, after the semiconductor layer has been formed on the electrically conductive substrate, it is preferable that annealing processing be carried out in a vacuum or inert gas. In this case, a compound layer or alloy layer consisting of a semiconductor and a metal can be interposed on a critical surface between the semiconductor layer and the electrically conductive substrate. Alternatively, the semiconductor layer can be almost crystallized on a critical surface between the semiconductor layer and the electrically conductive substrate. In this manner, a barrier layer or high resistance layer between the semiconductor layer and the electrically conductive substrate can be reduced, and thus, the electron emission efficiency and reliability can be improved.

**[0044]** In this electron source manufacturing method, after the insulating films have been formed on the surfaces of the semiconductor nanocrystals, there may be

carried out one or plural times at least two steps of (a) the above step of carrying out the annealing processing at the temperature of 700°C or less in a vacuum, inert gas, foaming gas, or nitride gas; (b) the above step of carrying out the heat treatment in accordance with the rapid heating technique at the temperature of 600°C or more in atmosphere containing oxide species or nitride species; and (c) the above step of carrying out the annealing processing in accordance with the rapid heating technique at the temperature of 600°C or more in the inert gas atmosphere, respectively (for example, (a)→(b), (a)→(c), (a)→(b)→(b), (a)→(b)→(c), (a)→(c)→(b) or the like).

**[0045]** In this electron source manufacturing method, it is preferable to carry out the annealing processing in hydrogen, hydrogen radical emission processing or hydrogen radical emission annealing processing at least at one period after forming the semiconductor layers, after forming the semiconductor nanocrystals, and after forming the insulating films on the surfaces of the semiconductor nanocrystals. In this case, hydrogen radicals are emitted to the top surface on one surface side of the electrically conductive substrate, and thus, a defect existing in the drift layer can be made passive or reduced, and the electron emission characteristics and reliability of the electron source can be improved. Further, the barrier or high resistance layer between the semiconductor layer and the electrically conductive substrate can be reduced, and thus, the electron emission efficiency and reliability are improved.

## BRIEF DESCRIPTION OF THE DRAWINGS

**[0046]** The present invention will be fully understood by the following detailed description and accompanying drawings. In the accompanying drawings, common constituent elements are designated by like reference numerals.

Fig. 1 is a schematic cross section showing essential portions of an electron source according to Embodiment 1 of the present invention.

Fig. 2 is a view showing an operation of the electron source shown in Fig. 1.

Fig. 3A to Fig. 3D are schematic cross sections each showing the electron source shown in Fig. 1 or an intermediate body in the middle of the manufacture, and show a method of manufacturing the electron source.

Fig. 4 is a light emission spectrum using the photoluminescence intensity of the electron source shown in Fig. 1 and Comparative Examples, and shows characteristics of the photoluminescence measurement relevant to the wavelength.

Fig. 5 is a graph showing a direction in the depth direction of constituent elements using the X-ray photo-electronic spectroscopy of the electron source shown in Fig. 1 and Comparative Examples,

and shows characteristics of the atom concentration relevant to the depth.

Fig. 6A and Fig. 6B are views each showing an electron emission principle of the electron source shown in Fig. 1.

Fig. 7A and Fig. 7B are views each showing an electron emission principle of an electron source according to Comparative Examples.

Fig. 8A and Fig. 8B are views each showing an oxidation process in the electron source shown in Fig. 1 and that according to Comparative Examples. Fig. 9 is a graph showing a change with an elapse of time, of electron emission efficiency in the electron source shown in Fig. 1 and that according to Comparative Examples.

Fig. 10 is a view showing electron emission characteristics of the electron source shown in Fig. 1 and that according to Comparative Example.

Fig. 11 is a view showing an operation of an electron source according to Embodiment 2 of the present invention.

Fig. 12A to Fig. 12D are schematic sectional views each showing an electron source shown in Fig. 11 or an intermediate body in the middle of the manufacture, and show a method of manufacturing the electron source.

Fig. 13 is a schematic cross section showing an electron source according to Embodiment 3 of the present invention.

Fig. 14 is a view showing an operation of an electron source shown in Fig. 13.

Fig. 15A to Fig. 15D are schematic cross sections each showing the electron source shown in Fig. 13 or an intermediate body in the middle of its manufacture, and show a method of manufacturing the electron source.

Fig. 16 is a view showing a technique of forming insulation thin films in the electron source according to Embodiment 3 of the present invention, and shows a change with an elapse of time, of a heat treatment temperature.

Fig. 17 is a schematic configuration of a heat treatment device employed for forming the insulation thin film shown in Fig. 13.

Fig. 18 is a graph showing a measurement result of temperature rise desorbing gas mass spectroscopic analysis, and shows change characteristics of an ionic current relevant to a heating temperature.

Fig. 19A to Fig. 19G are schematic sectional views each showing an electron source according to Embodiment 4 of the present invention or an intermediate body in the middle of the manufacture, and show a method of manufacturing the electron source.

Fig. 20 is a view showing a termination aspect of a top surface of a porous polycrystalline silicon layer after the annealing processing.

Fig. 21A to Fig. 21F are schematic cross sections



each showing an electron source according to Embodiment 5 of the present invention or an intermediate body in the middle of its manufacture, and show a method of manufacturing the electron source.

Fig. 22A to Fig. 22C are graphs depicting change characteristics of a current density of an electron source relevant to the direct current voltage  $V_{ps}$  when the annealing processing is not carried out, when the annealing processing is carried out at 500°C, and when the annealing processing is carried out at 550°C, respectively.

Fig. 23 is a schematic cross section showing an electron source according to Embodiment 6 of the present invention.

Fig. 24 is a view showing an operation of the electron source shown in Fig. 23.

Fig. 25A to Fig. 25D are schematic cross sections each showing the electron source according to Embodiment 6 of the present invention or an intermediate body in the manufacture, and show a method of manufacturing the electron source.

Fig. 26 is a graph depicting change characteristics of the current density relevant to the direct current voltage  $V_{ps}$  in the electron source shown in Fig. 23.

Fig. 27 is a graph depicting change characteristics of the current density relevant to a time in the electron source shown in Fig. 23.

Fig. 28 is a graph depicting change characteristics of the current density relevant to the direct current voltage  $V_{ps}$  in an electron source according Comparative Example.

Fig. 29 is a graph depicting change characteristics of the current density relevant to a time in an electron source according to Comparative Example identical to the case of Fig. 28.

Fig. 30 is a graph depicting change characteristics of the current density relevant to the direct current voltage  $V_{ps}$  in an electron source according another Comparative Example.

Fig. 31 is a graph depicting change characteristics of the current density relevant to a time in an electron source according to Comparative Example identical to the case of Fig. 30.

Fig. 32 is a graph depicting change characteristics of the current density relevant to the direct current voltage  $V_{ps}$  in an electron source according to Embodiment 7 of the present invention.

Fig. 33 is a graph depicting change characteristics of the current density relevant to a time in the electron source according to Embodiment 7 of the present invention.

Fig. 34 is a graph depicting change characteristics of the current density relevant to the direct current voltage  $V_{ps}$  in an electron source according to Embodiment 10 of the present invention.

Fig. 35 is a graph depicting change characteristics of the current density relevant to a time in the elec-

tron source according to Embodiment 10 of the present invention.

Fig. 36A to Fig. 36F are schematic cross sections each showing an electron source according to Embodiment 13 of the present invention or an intermediate body in the middle of the manufacture, and show a method of manufacturing the electron source.

Fig. 37 is a view showing a processing technique in a hydrogen radical emission step in a method of manufacturing the electron source according to Embodiment 13 of the present invention.

Fig. 38 is a view showing an operation of a conventional electron source.

Fig. 39 is a schematic cross section showing the conventional electron source.

Fig. 40 is a view showing an operation of another conventional electron source.

Fig. 41 is a graph depicting a change with an elapse of time, of a heat treatment temperature in a rapid heating technique.

Fig. 42 is a view showing a termination aspect of a top surface of a porous polycrystalline silicon layer after the anodic oxidation processing.

Fig. 43 is a view showing a termination aspect of the top surface of the porous polycrystalline silicon layer after the rapid heating processing.

## DESCRIPTIONS OF THE PREFERRED EMBODIMENTS

**[0047]** The present application is based on Japanese Patent Application No. 2001-125156, Japanese Patent Application No. 2001-125157, Japanese Patent Application No. 2001-159625, and Japanese Patent Application No. 2001-329908, the contents of which are fully incorporated therein.

**[0048]** Hereinafter some embodiments of the present invention will be specifically described. Elements common to the embodiments, that is, elements whose configuration and function are substantially identical to each other, are designated by common reference numerals. A duplicate description thereof is principally omitted here.

(Embodiment 1)

**[0049]** Hereinafter, Embodiment 1 of the present invention will be described. In Embodiment 1, as an electrically conductive substrate (lower electrode), there is employed a single-crystalline n-type silicon substrate whose resistivity is comparatively close to a resistivity of a conductor (for example, a (100) substrate whose resistivity is 0.01  $\Omega$  cm to 0.02  $\Omega$  cm).

**[0050]** As shown in Fig. 2, in an electron source 10 (field emission-type electron source) according to Embodiment 1, a drift layer 6 (strong field drift layer) consisting of an oxidized porous polycrystalline silicon layer



is formed on a main surface side of an n-type silicon substrate 1 that is an electrically conductive substrate. A surface electrode 7 is formed on the drift layer 6. An ohmic electrode 2 is formed on the back surface of the n-type silicon substrate 1. In Embodiment 1, the n-type silicon substrate 1 configures an electrically conductive substrate.

[0051] A material with its small work function is employed for a material for the surface electrode 7. The thickness of the surface electrode 7 is set to 10 nm. However, the thickness thereof is not limited to this value, and may be thickness such that an electron passing through the drift layer 6 can be tunneled. The thickness of the surface electrode 7 may be set to about 3 nm to 15 nm.

[0052] The surface electrode 7 is composed of a first thin film layer consisting of a metal film formed on the drift layer 6 and a second thin film layer consisting of a metal film deposited on the first thin film layer. As a material for the first thin film later on the drift layer 6, for example, there may be employed a material having intimacy with the drift layer 6, the material being capable of preventing diffusion between the second thin film layer and the drift layer 6 such as chrome, nickel, platinum, titanium, iridium. As a material for the second thin film layer, there may be employed gold with its low resistance and high stability with an elapse of time. In Embodiment 1, chrome (Cr) is employed as a material for the first thin film layer. The film thickness of the first thin film layer is set to 2 nm. As a material for the second thin film layer, gold (Au) is employed. The film thickness of the second thin film layer is set to 8 nm. In Embodiment 1, although the surface electrode 7 is composed of a two-layered metal film, this electrode may be composed of one or three or more layered metal film instead of this film.

[0053] In the electron source 10, the surface electrode 7 is disposed in a vacuum, and a collector electrode 21 is disposed in opposite to the surface electrode 7. Then, a direct current voltage  $V_{ps}$  is applied so that the surface electrode 7 becomes positive in polarity relevant to the n-type silicon substrate 1 (ohmic electrode 2), and a direct current voltage  $V_{vc}$  is applied so that the collector electrode 21 becomes positive in polarity relevant to the surface electrode 7. In this manner, electrons injected from the n-type silicon substrate 1 drift in the drift layer 6, and are emitted via the surface electrode 7 (the single dotted chain line in Fig. 2 indicates the flow of electrons "e-" emitted through the surface electrode 7). As a ratio of the emission current (emission electron current)  $I_e$  flowing between the collector electrode 21 and the surface electrode 7 to the diode current  $I_{ps}$  flowing between the surface electrode 7 and the n-type silicon substrate 1 (ohmic electrode 2) is greater, the electron emission efficiency increases.

[0054] As shown in Fig. 1, the drift layer 6 according to Embodiment 1 is composed of: at least, columnar polycrystalline silicon grains 51; thin silicon oxide films

52 formed on the surfaces of the grains 51; a number of silicon nanocrystals 63 of nano-meter order interposed between the grains 51; and a number of silicon oxide films 64 formed on the surfaces of the silicon nanocrystals 63, each of which is an insulating film with film thickness that is smaller than the crystalline particle size of the silicon nanocrystal 63. In short, the surface of each grain 51 is made porous in the drift layer 6, and the crystalline state is maintained at the center portion of each grain. It is desirable that the thickness of the silicon oxide film 64 formed on the surface of the silicon nanocrystal 63 is set at the film thickness to an extent such that an electron tunneling phenomenon occurs (degree of mean free path of electrons: the degree of mean free path of electrons in  $\text{SiO}_2$  is about 3 nm), for example, about 1 nm to 3 nm.

[0055] In the electron source 10 according to Embodiment 1, it is believed that electron emission occurs in the following model. That is, the surface electrode 7 is disposed in a vacuum. Then, between the surface electrode 7 and the n-type silicon substrate 1 (ohmic electrode 2), with the surface electrode 7 being positive in polarity, the direct current voltage  $V_c$  is applied. In addition, at the same time, between the collector electrode 21 and the surface electrode 7, with the collector electrode 21 being positive in polarity, the direct current voltage  $V_{ps}$  is applied. When the direct current voltage  $V_{ps}$  reaches a predetermined value (critical value), electrons "e-" are injected due to thermal excitation from the n-type silicon substrate 1 serving as an electrically conductive substrate to the drift layer 6. On the other hand, a majority of the electron field applied to the drift layer 6 is applied to the silicon oxide films 64. Thus, the injected electrons "e-" are accelerated by the strong electric field applied to the silicon oxide film 64. Then, the electrons drift in a region between the grains 51 in the drift layer 6 toward the surface in an orientation indicated by the arrow A in Fig. 1, tunnel the surface electrode 7, and are emitted into the vacuum. In this manner, in the drift layer 6, the electrons injected from the n-type silicon substrate 1 are accelerated and drift in the strong electric field applied to the silicon oxide film 64 without being diffusing in the silicon nanocrystal 63, and are emitted via the surface electrode 7 (ballistic type electron emission phenomenon). A heat generated in the drift layer 6 is emitted via the grains 51. Thus, a popping phenomenon does not occur during electron emission, and electrons can be constantly emitted. The electrons arrived at the surface of the drift layer 6 are believed as hot electrons, easily tunnel the surface electrode 7, and are emitted in the vacuum.

[0056] Hereinafter, a method of manufacturing the electron source 10 according to Embodiment 1 will be described with reference to Fig. 3A to Fig. 3D.

[0057] First, after an ohmic electrode 2 has been formed on the back surface of an n-type silicon substrate 1, a non-doped polycrystalline silicon layer 3 is formed as a semiconductor layer on a main surface of the n-

type silicon substrate 1, and a structure shown in Fig. 3A is obtained. As a method of film forming the polycrystalline silicon layer 3, for example, there may be employed a CVD technique (such as LPCVD technique, plasma CVD technique, or catalytic CVD technique, for example), a sputtering technique, or a CGS (Continuous Grain Silicon) technique and the like.

**[0058]** After the non-doped polycrystalline silicon layer 3 has been formed, the polycrystalline silicon layer 3 is made porous in accordance with the anodic oxidation processing step, whereby a porous polycrystalline silicon layer 4 that is a porous semiconductor layer is formed, and a structure shown in Fig. 3B is obtained. In the anodic oxidation processing step, there is employed an anodic oxidation processing vessel that contains an electrolytic solution consisting of a mixture solution obtained by mixing 55 wt.% of hydrogen fluoride water solution and ethanol at substantially 1 : 1. Then, with a platinum electrode (not shown) being negative in polarity and the n-type silicon substrate 1 (ohmic electrode 2) being positive in polarity, while light emission is carried out for the polycrystalline silicon layer 3, anodic oxidation is carried out at a constant current. In this manner, the porous polycrystalline silicon layer 4 is formed. The thus formed porous polycrystalline silicon layer 4 contains polycrystalline silicon grains and silicon nanocrystals. In Embodiment 1, although all of the polycrystalline silicon layer 3 is made porous, the layer may be partially made porous.

**[0059]** After the anodic oxidation processing step has terminated, the porous polycrystalline silicon layer 4 is oxidized in accordance with the oxidizing step, whereby the drift layer 6 consisting of the oxidized porous polycrystalline silicon layer is formed, and a structure shown in Fig. 3C is obtained. In the oxidizing step, the porous polycrystalline silicon layer 4 is oxidized in a rapid heating technique, whereby a drift layer 6 is formed, the drift layer containing the grains 51, silicon nanocrystals 63, and silicon oxide films 52 and 64. A lamp annealing device is employed in the oxidizing step using the rapid heating technique. In this case, while O<sub>2</sub> gas atmosphere is produced in a furnace, the substrate temperature is risen from the room temperature to a predetermined oxidation temperature (for example, 900°C) at a predetermined temperature rise velocity (for example, 80°C / sec). Then, the substrate temperature is maintained by a predetermined oxidation time (for example, 1 hour), and rapid thermal oxidation (RTO) is carried out. Then, the substrate temperature is lowered to the room temperature. In Embodiment 1, although the temperature rise velocity is set to 80°C / sec, the temperature rise velocity may be set to 80°C / sec or more, and it is preferable that the velocity be set to 150°C / sec or more. A reason for thus setting the temperature rise velocity will be described later. In Embodiment 1, the oxidation step is provided as the insulating film forming step of forming the silicon oxide films 64, which are insulating films, on the surfaces of the silicon

nanocrystals 63 that are semiconductor nanocrystals.

**[0060]** After the drift layer 6 has been formed, a first thin film layer consisting of a metal film (chrome film in Embodiment 1) is deposited on the drift layer 6 in accordance with an electron beam vapor deposition technique. Further, a second thin film layer consisting of a metal film (gold film in Embodiment 1) is deposited on the first thin film layer in accordance with the electron beam vapor deposition technique. In this manner, a surface electrode 7 consisting of the first thin film layer and the second thin film layer is formed, and an electron source 10 with its structure shown in Fig. 3D is obtained. In Embodiment 1, although the surface electrode 7 is formed in accordance with the electron beam vapor deposition technique, a method of forming the surface electrode 7 is not limited to the electron beam vapor deposition technique, and a sputtering technique may be employed, for example.

**[0061]** In the meantime, the present inventors have obtained a finding that, as a result of search, a condition for the oxidizing step using the rapid heating technique, in particular, a temperature rise velocity affects a deviation between lots of characteristics such as electron emission efficiency, dielectric strength, or service life.

**[0062]** Then, the present inventors carried out analytical evaluation of the drift layer 6 of the electron source 10 by setting the temperature rise velocity in the rapid heating technique to 80°C / sec. Specifically, there were carried out: a structural evaluation in the vicinity of the surface of the drift layer 6 in accordance with a photoluminescence technique (PL technique); observation and element analysis of a structure of a drift layer surface vicinity portion using a sectional TEM (Transmission type Emission Microscope); and dimensional measurement of the existing quantity of the drift layer constituent element relevant to the depth direction by using X-ray photo-electron spectroscopy (XPS technique). Further, similar analytical evaluation was carried out for an electron source (drift layer) according to Comparative Example as well. The electron source according to Comparative Example was manufactured by setting the temperature rise velocity in the rapid heating technique to 20°C / sec which is lower than 80°C / sec. As a result, in Comparative Example in which the temperature velocity was set to 20°C / sec, in the drift layer, an SiO<sub>2</sub> film was formed from the surface (critical surface with surface electrode 7) to a depth of about 100 nm, and the presence of silicon nanocrystal was not verified. In contrast, in the drift layer in the electron source 10 in which the temperature rise velocity was set to 80°C / sec, which is comparatively high, it was found that the silicon nanocrystals 63 exist in a region to the depth of about 100 nm from the surface as well.

**[0063]** Hereinafter, a result of each analytical evaluation will be described. First, a result obtained by observation and element analysis caused to a sectional TEM for a structure in the vicinity of a surface, respectively, will be described with respect to the drift layer 6 of the

electron source 10 according to Embodiment 1 and the drift layer according to Comparative Example. By evaluation caused by the sectional TEM, in the drift layer 6 of the electron source 10, the columnar grains of the polycrystalline silicon and the silicon nanocrystals of nano-meter order were verified. In contrast, in the drift layer according to Comparative Example, SiO<sub>2</sub> films were formed over the whole region from the surface to a depth of about 100 nm, and the columnar grains of the polycrystalline silicon were verified only in a region deeper than 100 nm.

**[0064]** Now, a result of structural evaluation in the vicinity of the surface of the drift layer in accordance with the PL technique will be described with reference to Fig. 4. Fig. 4 shows light emission spectra measured by emitting light of 325 nm in wavelength from a He-Cd laser. "a" in Fig. 4 indicates the light emission spectra of the drift layer 6 according to Embodiment 1, and "b" indicates the light emission spectra of the drift layer according to Comparative Example. An invasion length of the light emitted from the He-Cd laser into the drift layer 6 is within the range of 100 nm in the depth direction from the surface of the drift layer 6. Therefore, the light emission spectra of each of "a" and "b" in Fig. 4 indicates light emission spectra from a shallow region in the vicinity of the surface. In general, the light emission from the silicon oxide films is referred to as an F band, and is known to have a peak in the proximity of 430 nm to 540 nm. In addition, the light emission from the silicon nanocrystals is referred to as an S band, and is known to have a peak in the vicinity of 650 nm to 800 nm. As is evident from Fig. 4, in the drift layer 6 according to Embodiment 1, the peak believed to be light emission from the silicon nanocrystals 63 and the peak believed to be light emission from the silicon oxide films are observed. In contrast, in the drift layer according to Comparative Example, only the peak believed to be light emission from the silicon oxide films is observed. That is, in the region from the surface of the drift layer 6 according to Comparative Example to the depth of about 100 nm, silicon nanocrystals hardly exist, a majority or all of which are believed to be silicon oxide films. This result coincides with the analysis result caused by the sectional TEM.

**[0065]** Now, a result of distribution measurement in the depth direction concerning an existence quantity of drift layer constituent elements in accordance with the XPS technique will be described with reference to Fig. 5. The horizontal axis of Fig. 5 indicates the depth from the surface of the drift layer 6. The vertical axis of Fig. 5 indicates the atom concentration. "a1", "a2", and "a3" in Fig. 5 indicate the measurement result relevant to the drift layer 6 according to Embodiment 1. In addition, "b1", "b2", and "b3" indicate the measurement result relevant to the drift layer according to Comparative Example. Here, "a1" and "b1" indicate the distribution in the depth direction of SiO<sub>2</sub>, "a2" and "b2" indicate the distribution in the depth direction of Si, and "a3" and "b3"

indicate the distribution in the depth direction SiOx. As is evident from Fig. 5, in the drift layer 6 according to Embodiment 1, Si and SiO<sub>2</sub> are observed in the region in which the depth from the surface is shallower than 100 nm. In contrast, in the drift layer according to Comparative Example, Si is not observed in the region which is shallower than 100 nm from the surface, and only SiO<sub>2</sub> is observed. This result coincides with the analysis result caused by the sectional TEM.

**[0066]** From the above analysis result, as shown in Fig. 6A and Fig. 6B, in the drift layer 6 according to Embodiment 1, it is believed that the silicon nanocrystals 63 having the silicon oxide films 64 formed on the surface thereof are contained in the vicinity of the surface of the drift layer 6 as well. Then, it is believed that the electrons "e-" injected into the drift layer 6 are accelerated by the strong electric field applied to the silicon oxide films 64, drift in the orientation (right side) indicated by the arrow in Fig. 6A with hardly colliding with the silicon nanocrystals 63, reach the surface of the drift layer 6, tunnel the surface electrode 7, and are emitted into the vacuum (the single dotted chain light in Fig. 6A indicates the flow of electrons "e-"). "PPS" described at the upper part of Fig. 6A indicates the drift layer 6, "Metal" indicates the surface electrode 7, and "Vacuum" indicates a vacuum. In addition, Fig. 6B is an energy band chart illustrating a principle of electron emission. "SiO<sub>2</sub>" in Fig. 6B indicates silicon oxide films 64, "μc-Si" indicates silicon nanocrystals 63 of nano-meter order, "E<sub>FM</sub>" indicates the Fermi level of the surface electrode 7, and "E<sub>va</sub>" indicates the vacuum level.

**[0067]** On the other hand, as shown in Fig. 7, in the drift layer according to Comparative Example (hereinafter, referred to as "drift layer 6'"), the film thickness of each of the silicon oxide films 64 increases as the film is close to the surface of the drift layer 6', and the silicon nanocrystals 63 are destroyed. In the vicinity of the surface, any silicon nanocrystals 63 do not exist. Thus, a part of the electrons "e-" injected in the drift layer 6' are diffused or absorbed by the silicon oxide films 64 each of which has a film thickness (degree of mean free pass of electrons) larger than the film thickness to an extent such that an electron tunneling phenomenon occurs. Thus, it is believed that the electron emission efficiency is lowered, and the dielectric strength and service life are lowered.

**[0068]** In the drift layer 6 according to Embodiment 1, the silicon nanocrystals 63 exist in the vicinity of the surface as well. In contrast, in the drift layer 6' according to Comparative Example, the following model is believed to be responsible for destruction of the silicon nanocrystals 63 in the vicinity of the surface. That is, in Embodiment 1, in the oxidizing step after the anodic oxidation processing step, as shown in Fig. 8A, an oxygen molecule 80 reaches the periphery of the silicon nanocrystal 63. At this time, a temperature rise velocity is comparatively high (80°C / sec), and thus, the silicon oxide films 64 are formed within a short time on the surfaces of the

silicon nanocrystals 63 formed in accordance with anodic oxidization. Thus, diffusion of an oxygen atom 81 into the center portion of the silicon nanocrystal 63 is inhibited. In this manner, it is believed that the silicon oxide film 64 having film thickness (degree of mean free path of electrons) in which an electron tunneling phenomenon occurs is formed only on the surface of the silicon nanocrystal 63. On the other hand, in Comparative Example as well, in the oxidizing step after anodic oxidization processing step, as shown in Fig. 8B, the oxygen molecule 80 reaches the periphery of the silicon nanocrystal 63. However, the temperature rise velocity is comparatively low (20°C / sec), and thus, the oxygen atom 81 diffuses to the center portion of the silicon nanocrystal 63 formed in accordance with anodic oxidization, and the entirety of the silicon nanocrystal 63 is oxidized. This is because the silicon nanocrystal 63 is destroyed.

[0069] Fig. 9 shows a change with an elapse of time, of a respective electron emission efficiency when the temperature rise velocity is set to 80°C / sec, 160°C / sec, and 20°C / sec. The vertical axis of Fig. 9 indicates electron emission efficiency, and the horizontal axis indicates an elapsed time. "a" in Fig. 9 indicates a case in which the temperature rise velocity is set to 80°C / sec, "b" indicates a case in which the velocity is set to 20°C / sec, and "c" indicates a case in which the velocity is set to 160°C/sec. As is evident from Fig. 9, in Embodiment 1, the electron emission efficiency is high and a change with an elapse of time of the electron emission efficiency is reduced as compared with Comparative Example. In this manner, the service life is extended. In addition the temperature rise velocity is increased from 80°C / sec to 160°C / sec, whereby the electron emission efficiency is increased more remarkably.

[0070] A change with an elapse of time, of the electron emission efficiency shown in Fig. 9 can be fitted by a function (hereinafter, referred to as "damping function") that damps relevant to an elapsed time in an exponential function manner. That is, an initial value of the electron emission efficiency (hereinafter, referred to as "initial electron emission efficiency") is defined as  $\eta_0$ , a time constant is defined as  $\tau$ , a proportional coefficient (linear filter) is defined as  $\gamma$ , and an elapsed time is defined as  $t$ , the electron emission efficiency in an arbitrarily elapsed time " $t$ " can be approximated in the following formula 1. As a value of time constant  $\tau$  increases, the service life of the electron source increases.

$$\eta = \eta_0 \cdot \exp \left( (-t / \tau) \cdot \gamma \right) \quad \text{Formula 1}$$

[0071] Fig. 10 shows a relationship between the initial electron emission efficiency  $\eta_0$  and the time constant  $\tau$  obtained by being fitted by the damping function. The vertical axis of Fig. 10 indicates the initial electron emission efficiency  $\eta_0$ , and the horizontal axis indicates the time constant  $\tau$ . "a" in Fig. 10 indicates a case in which the temperature rise velocity is set to 80°C / sec, "b"

indicates a case in which the temperature rise velocity is set to 20°C / sec, and "c" indicates a case in which the temperature rise velocity is set to 160°C / sec. According to Fig. 10, as the temperature rise velocity increases, it is found that the initial electron emission efficiency  $\eta_0$  and the time constant  $\tau$  increase. Namely, as the temperature rise velocity increases, the electron emission efficiency can be improved, and the service life can be extended. Here, assuming that the characteristic evaluation of the electron source is carried out by a multiple  $\eta_0 \cdot \tau$  between the initial electron emission efficiency  $\eta_0$  and the time constant  $\tau$ , it is believed that the characteristics of the electron source is more excellent as the value of  $\eta_0 \cdot \tau$  increases. The value of  $\eta_0 \cdot \tau$  is 0.092 in "b", 5.2 in "a", and 21.8 in "c". The temperature rise velocity is increased from 20°C / sec to 80°C / sec, it is found that the value of  $\eta_0 \cdot \tau$  is larger by 50 times as compared with a case of 20°C / sec. Therefore, the temperature rise velocity is set to 80°C / sec or more, whereby the electron emission efficiency can be improved, and the service life can be extended as compared with a case of 20°C / sec. Further, the temperature rise velocity is set to 150°C or more, whereby the electron emission efficiency can be improved more remarkably, and the service life can be extended more significantly. Although the temperature rise velocity is restricted by performance of a manufacturing apparatus (for example, lamp annealing device) employed in the rapid heating technique, it is currently known that the temperature rise velocity can be increased to about 400°C / sec.

[0072] With the method of manufacturing the electron source 10 according to Embodiment 1, the thickness of the silicon oxide films 64 that are insulating films in the drift layer 6 can be set at the film thickness to an extent such that an electron tunneling phenomenon occurs. Thus, electron diffusion in the silicon oxide films 64 can be reduced, and a deviation of thickness of the silicon oxide films 64 in the drift layer 6 can be reduced. In this manner, the design of the dielectric strength and service life is made easy, the dielectric strength can be improved, and the service life can be extended. Further, the electron emission efficiency can be improved.

(Embodiment 2)

[0073] Hereinafter, Embodiment 2 of the present invention will be described. In Embodiment 2, as an electrically conductive substrate, there is employed a substrate on which an electrically conductive layer consisting of a metal film (for example, tungsten film) is provided on one surface of an insulating substrate consisting of a glass substrate (for example, quartz glass substrate).

[0074] As shown in Fig. 11, in an electron source 10 according to Embodiment 2, a drift layer 6 consisting of an oxide porous polycrystalline silicon layer is formed on an electrically conductive layer 12 on an insulating substrate 11. A surface electrode 7 is formed on the drift

layer 6. A configuration of the surface electrode 7 is similar to that of Embodiment 1.

[0075] In order to emit electrons from the electron source 10, a collector electrode 21 is arranged so as to be opposite to the surface electrode 7, and a vacuum state is established between the surface electrode 7 and the collector electrode 21. Then, a direct current voltage  $V_{ps}$  is applied between the surface electrode 7 and the electrically conductive layer 21 so that the surface electrode 7 becomes positive in polarity (high potential) relevant to the collector electrode 21, and a direct current voltage  $V_c$  is applied between the collector electrode 21 and the surface electrode 7 so that the collector electrode 21 becomes positive in polarity relevant to the surface electrode 7. When the direct current voltages  $V_{ps}$  and  $V_c$  are properly set, the electrons injected from the electrically conductive layer 12 drift in the drift layer 6, and are emitted via the surface electrode 7 (the single dotted chain line in Fig. 11 indicates the flow of electrons "e-" emitted through the surface electrode 7). The electrons arrived on the surface of the drift layer 6 are believed to be hot electrons, easily tunnel the surface electrode 7, and are emitted into the vacuum. In the electron source 10 according to Embodiment 2 as well, as in the electrode 10 according to Embodiment 1, as a ratio of the emission current  $I_e$  to the diode current  $I_{ps}$  ( $= I_e / I_{ps}$ ) increases, the electron emission efficiency increases.

[0076] The configuration and function of the drift layer 6 is similar to those of Embodiment 1. That is, the drift layer 6 is composed of, at least, grains 51, silicon oxide films 52, a number of silicon nanocrystals 63, and a number of silicon oxide films 64 (refer to Fig. 1). In addition, in the drift layer 6, the surface of each grain is made porous, and a crystalline state is maintained at the center portion of each grain. The thickness of each of the silicon oxide films 64 is set at the film thickness to an extent such that an electron tunneling phenomenon occurs (degree of mean free path of electrons), for example, about 1 nm to 3 nm.

[0077] In the electron source 10 according to Embodiment 2 as well, it is believed that the electron emission occurs in a model similar to the case of the electron source 10 according to Embodiment 1. That is, the direct current voltage  $V_{ps}$  is applied between the surface electrode 7 and the electrically conductive layer 12 with the surface electrode 7 being positive in polarity, and the direct current voltage  $V_c$  is applied between the collector electrode 21 and the surface electrode 7 with the collector electrode 21 being positive in polarity, whereby the electrons "e-" injected from the electrically conductive layer 12 into the drift layer 6 by thermal excitation drift, tunnel the surface electrode 7, and are emitted into the vacuum.

[0078] In the case where the electron source 10 according to Embodiment 2 is utilized as an electron source of a display, the lower electrode (electrically conductive substrate) or surface electrode 7 and the like

may be properly patterned.

[0079] A method of manufacturing the electron source 10 according to Embodiment 2 will be described with reference to Fig. 12A to Fig. 12D.

5 [0080] First, on one surface side of an insulating substrate 11, an electrically conductive layer 12 consisting of a metal layer (for example, tungsten film) is formed, and an electrically conductive substrate is fabricated in accordance with a sputtering technique or the like.  
10 Then, on a main surface side of the electrically conductive substrate (on the electrically conductive layer 12), a non-doped polycrystalline silicon layer 3 is formed as a semiconductor layer, and a structure shown in Fig. 12A is obtained. As a method of film forming the polycrystalline silicon layer 3, for example, there may be employed a CVD technique (such as LPCVD technique, plasma CVD technique, or catalytic CVD technique, for example), a sputtering technique, or a CGS (Continuous Grain Silicon) technique.

20 [0081] After the non-doped polycrystalline silicon layer 3 has been formed, the polycrystalline silicon layer 3 is made porous in accordance with the anodic oxidation processing step, whereby a porous polycrystalline silicon layer 4 that is a porous semiconductor layer is formed, and a structure shown in Fig. 12B is obtained.  
25 In the anodic oxidation processing step, there is employed an anodic oxidation processing vessel that contains an electrolytic solution consisting of a mixture solution obtained by mixing 55 wt. % of hydrogen fluoride water solution and ethanol at substantially 1 : 1. Then, with a platinum electrode (not shown) being negative in polarity and the electrically conductive layer 12 being a positive layer, while light emission is carried out for the porous polycrystalline silicon layer 3, anodic oxidation processing is carried out at a constant current. In this manner, a porous polycrystalline silicon layer 4 is formed. The porous polycrystalline silicon layer 4 contains polycrystalline silicon grains and silicon nanocrystals. In Embodiment 2, although entire polycrystalline silicon layer 3 is made porous, the layer may be partially made porous.

40 [0082] After the anodic oxidation processing step has terminated, the porous polycrystalline silicon layer 4 is oxidized, whereby a drift layer 6 consisting of an oxidized porous polycrystalline silicon layer is formed, and a structure shown in Fig. 12C is obtained. In the oxidizing step, the porous polycrystalline silicon layer 4 is oxidized in accordance with the rapid heating technique, whereby a drift layer 6 containing the grains 51, the silicon nanocrystals 63 and silicon oxide films 52 and 64 is formed. In the oxidizing step using the rapid heating technique, as is the case of Embodiment 1,  $O_2$  gas atmosphere is produced inside of a furnace by employing a lamp annealing device, and the substrate temperature is risen from the room temperature to a predetermined oxidation temperature (for example, 900°C) by a predetermined temperature rise velocity (for example, 80°C / sec). Then, the substrate temperature is main-

tained for a predetermined oxidization time (for example, 1 hour), and rapid thermal oxidization (RTO) is applied. Then, the substrate temperature is lowered to the room temperature. In Embodiment 2, although the temperature rise velocity is set to 80°C / sec, the temperature rise velocity may be set to 80°C / sec or more, as is the case of Embodiment 1, it is preferable that the velocity be set to 150°C / sec or more. In Embodiment 2 as well, as is the case of Embodiment 1, the oxidizing step is provided as the insulating film forming step of forming the silicon oxide films 64 that are insulating films on the surfaces of the silicon nanocrystals 63 that are semiconductor nanocrystal.

**[0083]** After the drift layer 6 has been formed, a first thin film layer consisting of a metal film (chrome film in Embodiment 2) is deposited on the drift layer 6 in accordance with the electron beam vapor deposition technique. Further, a second thin film layer consisting of a metal layer (gold layer in Embodiment 2) is deposited on the first thin film layer in accordance with the electron beam vapor deposition technique. In this manner, the surface electrode 7 consisting of the first thin film layer and the second thin film layer is formed, and the electron source 10 with its structure shown in Fig. 12D is obtained. In Embodiment 2, although the surface electrode 7 is formed in accordance with the electron beam vapor deposition technique, a method of forming the surface electrode 7 is not limited to the electron beam vapor deposition technique, and a sputtering technique may be employed, for example.

**[0084]** In this manner, with the method of manufacturing the electron source 10 according to Embodiment 2, the thickness of the silicon oxide film 64 that is an insulating film in the drift layer 6 can be provided as the film thickness to an extent such that an electron tunneling phenomenon occurs (degree of mean free path of electrons). Thus, electron diffusion in the silicon oxide films 64 each can be reduced, and a deviation of the thickness of the silicon oxide films 64 in the drift layer 6 can be reduced. In this manner, the design of the dielectric strength and service life is made easy. Therefore, the dielectric strength can be improved, and the service life can be extended. Further, the electron emission efficiency can be improved.

**[0085]** In the meantime, in Embodiments 1 and 2, the drift layer 6 is composed of the oxidized porous polycrystalline silicon layer. However, the drift layer 6 may be composed of a nitrided porous polycrystalline silicon layer or an oxi-nitrided porous polycrystalline silicon layer. Alternatively, this layer may be composed of the other oxide, nitride, or oxi-nitride porous semiconductor layer.

**[0086]** In the case where the drift layer 6 is formed of the nitrided porous polycrystalline silicon layer, there may be employed a nitriding step (insulating film forming step) of nitriding the porous polycrystalline silicon layer 4 in accordance with the rapid heating technique in which the temperature rise velocity is set as in the embodiments by employing NH<sub>3</sub> gas, for example, instead

of the oxidizing step (insulating film forming step) of carrying out oxidization in accordance with the rapid heating technique employing O<sub>2</sub> gas. In this case, the silicon oxide films 52 and 64 each in Fig. 1 are provided as silicon nitride films.

**[0087]** In the case where the drift layer 6 is formed of the oxi-nitride porous polycrystalline silicon layer, there may be employed the oxidization and nitriding (insulating film forming step) of oxidizing / nitriding the porous polycrystalline silicon layer 4 in accordance with the rapid heating technique in which the temperature rise velocity is set as in the embodiments by employing a mixture gas between O<sub>2</sub> gas and gas containing nitrogen such as NH<sub>3</sub> gas, N<sub>2</sub>O gas, NO gas, or N<sub>2</sub> gas, for example, instead of the step of oxidizing the porous polycrystalline silicon layer 4 in accordance with the rapid heating technique. In this case, the silicon oxide films 52 and 64 in Fig. 1 are provided as silicon oxi-nitride films.

**[0088]** In addition, in the case where the drift layer 6 is formed of the oxi-nitride porous polycrystalline silicon layer, as the insulating film forming step of forming an insulating film consisting of a silicon oxi-nitride film, there may be employed: the oxide film forming step of forming a silicon oxide film that is an oxide film on the surface side of the silicon nanocrystal 63 in accordance with the rapid heating technique in which the temperature rise velocity is set as in the embodiments; and the nitriding processing step of nitriding the silicon oxide film formed in accordance with the oxide film forming step, thereby forming a silicon oxi-nitride film that is an oxidized and nitrided film.

**[0089]** In the case where the silicon nitride film or silicon oxi-nitride film is employed as an insulating film formed on the surface side of the silicon nanocrystal 63 that is a semiconductor film crystal, the dielectric strength is improved as compared with a case employing the silicon oxide film. In addition, in the case where a laminate film between the silicon oxide film and the silicon nitride film is employed as an insulating film as well, the dielectric strength is improved as compared with a case of employing the silicon oxide film.

**[0090]** After forming the drift layer 6 in the method of manufacturing the electron source 10 according to Embodiments 1 and 2 each, foaming processing for compensating for a defect in the drift layer 6 is carried out before forming the surface electrode 7, whereby the defect of the insulating film can be compensated for. In this manner, the dielectric strength can be improved more remarkably, and the service life can be extended more significantly. Foaming processing may be carried out by rising the substrate temperature to a predetermined temperature (for example, 450°C) in a mixture gas consisting of at least H<sub>2</sub> and N<sub>2</sub>. In accordance with such foaming processing, it is possible to prevent the thickness of the insulating film from being larger than that before foaming processing or impurities from being introduced. Further, a defect of the insulating film can be



compensated for at a comparatively low temperature as compared with the substrate temperature using the rapid heating technique.

**[0091]** In the insulating film forming step according to Embodiments 1 and 2, the insulating film is formed by employing the rapid heating technique. However, the silicon oxide film 64 that is an insulating film may be formed in accordance with an electrochemical method. In this case, for example, by employing the oxidization processing vessel that contains an electrolytic solution (such as 1 M of  $\text{H}_2\text{SO}_4$ , 1 M of  $\text{HNO}_3$ , or aqua regia, for example), with a platinum electrode (not shown) being negative in polarity and a lower electrode (n-type silicon substrate in Embodiment 1 or electrically conductive layer 12 in Embodiment 2) being positive in polarity, a constant current is supplied, whereby the porous polycrystalline silicon layer 4 may be oxidized. In this manner, the drift layer 6 containing the grains 51, silicon nanocrystals 63, and silicon oxide films 52 and 64 and be formed. Of course, the insulating film formed in accordance with the electrochemical method may be provided as a nitride film such as silicon oxide film or an oxo-nitride film such as silicon oxo-nitride film.

**[0092]** When the insulating film was formed in such an electrochemical method, it was verified that the insulating film with film thickness to an extent such that an electron tunneling phenomenon occurs (degree of mean free path of electrons) can be formed and that the silicon nanocrystals 63 are not destroyed. However, the result that the electron emission efficiency is low and the service life is short was obtained as compared with a case in which the insulating film was formed in accordance with the rapid heating technique in which the temperature rise velocity was set to  $80^\circ\text{C} / \text{sec}$ . In addition, it was verified that the silicon oxide film formed in accordance with the electrochemical method contains a large amount of water as compared with the silicon oxide film formed in accordance with the rapid heating technique.

**[0093]** Therefore, in the insulating film forming step of forming each insulating film, after the insulating film has been electrochemically formed, the insulating film is formed in accordance with the rapid heating technique, whereby the water of the silicon oxide film can be removed, and the electron emission characteristics can be improved. In other words, before forming the insulating film in accordance with the rapid heating technique, the insulating film is formed in accordance with the electrochemical method, whereby the electron source 10 with its high electron emission efficiency and dielectric strength and the extended service life can be provided while the silicon nanocrystals are prevented from being destroyed in accordance with the rapid heating technique.

(Embodiment 3)

**[0094]** Hereinafter, Embodiment 3 of the present in-

vention will be described. An electron source according to Embodiment 3 has an insulating film consisting of a silicon oxide film. In Embodiment 3, as an electrically conductive substrate (lower electrode), there is employed a single-crystalline n-type silicon substrate whose resistivity is comparatively close to a resistivity of a conductor (for example, a (100) substrate whose resistivity is  $0.01 \Omega \text{ cm}$  to  $0.02 \Omega \text{ cm}$ ).

**[0095]** As shown in Fig. 13, in an electron source 10 according to the embodiment 3, a drift layer 6 consisting of an oxidized porous polycrystalline silicon layer is formed on a main surface side of an n-type silicon substrate 1 that is an electrically conductive substrate. A surface electrode 7 is formed on the drift layer 6. An ohmic electrode 2 is formed on the back surface of the n-type silicon substrate 1. Therefore, a surface electrode 7 is opposed to a lower electrode 12, and the drift layer 6 is interposed between the lower electrode 12 and the surface electrode 7. Further, porous polycrystalline silicon layer composes porous semiconductor layer

**[0096]** A material with its small work function is employed for a material for the surface electrode 7. The thickness of the surface electrode 7 is set to 10 nm. However, the thickness thereof is not limited to this value, and may be thickness such that an electron passing through the drift layer 6 can be tunneled. The thickness of the surface electrode 7 may be set to about 3 nm to 15 nm.

**[0097]** The configuration and function of the drift layer 6 is similar to those of Embodiment 1. That is, the drift layer 6 is composed of, at least, grains 51, silicon oxide films 52, a number of silicon nanocrystals 63, and a number of silicon oxide films 64 (refer to Fig. 1). In addition, in the drift layer 6, the surface of each grain is made porous, and a crystalline state is maintained at the center portion of each grain. The thickness of each of the silicon oxide films 64 is set at the film thickness to an extent such that an electron tunneling phenomenon occurs (degree of mean free path of electrons), for example, about 1 nm to 3 nm.

**[0098]** As shown in Fig. 14, in an electron source 10 according to Embodiment 3 as well, it is believed that electron emission occurs in a model similar to the case of the electron source 10 according to Embodiment 1. That is, a direct current voltage  $V_{ps}$  is applied between the surface electrode 7 and the lower electrode 12 with the surface electrode being positive in polarity, and a direct current voltage  $V_c$  is applied between the collector electrode 21 and the surface electrode 7 with the collector electrode 21 being positive in polarity, whereby the electrons "e-" injected from the lower electrode 12 into the drift layer 6 in accordance with thermal excitation drift, tunnel the surface electrode 7, and are emitted into the vacuum.

**[0099]** Hereinafter, a method of manufacturing the electron source 10 according to Embodiment 3 will be described with reference to Fig. 15A to Fig. 15D.

**[0100]** First, an ohmic electrode 2 is formed on the

back surface of an n-type silicon substrate 1. Then, a non-doped polycrystalline silicon layer 3 is formed as a semiconductor layer on a main surface of the n-type silicon substrate 1, and a structure shown in Fig. 3A is obtained. As a method of film forming the polycrystalline silicon layer 3, for example, there may be employed a CVD technique (such as LPCVD technique, plasma CVD technique, or catalytic CVD technique, for example), a sputtering technique, or a CGS (Continuous Grain Silicon) technique or the like.

**[0101]** After the non-doped polycrystalline silicon layer 3 has been formed, the polycrystalline silicon layer 3 that is a semiconductor layer targeted for anodic oxidation is made porous in accordance with the anodic oxidation processing step, whereby a porous polycrystalline silicon layer 4 is formed, and a structure shown in Fig. 15B is obtained. The porous polycrystalline silicon layer 4 formed in accordance with the anodic oxidation processing step contains a number of polycrystalline silicon grains and a number of silicon nanocrystals. In the anodic oxidation processing step, there is employed a processing vessel that contains an electrolytic solution consisting of a mixture solution obtained by mixing 55 wt.% of hydrogen fluoride water solution and ethanol at substantially 1 : 1. Then, while light emission is carried out on the surface of the polycrystalline silicon layer 3 by employing a light source that consists of a 500 W tungsten lamp, a constant current is supplied from a power source (not shown) between the lower electrode 12 and a cathode consisting of a platinum electrode (namely, with a current density being constant). In this manner, the polycrystalline silicon layer 3 is made porous from the main surface of the polycrystalline silicon layer 3 to a depth reaching the n-type silicon substrate 1.

**[0102]** After the anodic oxidation processing step has terminated, the silicon oxide films 52 and 64 that are insulating films are formed on the surface of the semiconductor crystals (each grain and each silicon nanocrystal) contained in the porous polycrystalline silicon layer 4. In this manner, a drift layer 6 containing the grains 51, silicon nanocrystals 63, and silicon oxide films 52 and 64 is formed, and a structure shown in Fig. 15C is obtained. When the insulating film is formed, rinsing is carried out by using ethanol after terminating the anodic oxidation processing step, and then, a constant voltage is applied between the lower electrode 12 and a cathode consisting of a platinum electrode from a power source (not shown) by employing the processing vessel containing 1 M of sulfuric acid water solution. In this manner, an insulating thin film (silicon oxide film) which forms a basis is formed on the surface of each grain and each silicon nanocrystal in accordance with the electrochemical method.

**[0103]** Next, the temperature profile heat treatment step as shown in Fig. 16 is carried out, and desired insulating films (silicon oxide films 52 and 64) are obtained. As shown in Fig. 16, in the heat treatment step,

first heat treatment is carried out at a first set temperature T1 and a temperature rise velocity set so that the water contained in the insulating thin film is removed without being rapidly boiled. Then, second heat treatment is carried out at a second set temperature T2 set so as to be higher than the first set temperature T1 and so that structural alleviation of the insulating thin film occurs. In this manner, a desired insulating thin film is obtained.

**[0104]** In the heat treatment step, although a lamp annealing device is employed, for example, a general furnace may be employed as well. The first heat treatment is carried out in an oxygen gas atmosphere (namely, atmosphere containing oxide species). The first set temperature T1 is set to 450°C, for example, and a heat treatment time H2 is set to 1 hour, for example. In addition, the second heat treatment is carried out in an oxygen gas atmosphere (namely, atmosphere containing oxide species). The second set temperature T2 is set to 900°C, for example, and a heat treatment time H4 is set to 20 minutes, for example. In Embodiment 3, the rapid heat treatment technique is employed as a second heat treatment. The temperature rise velocity during a temperature rise period H3 at which the substrate temperature is risen from the first set temperature T1 to the second set temperature T2 is set to 150°C / sec. The temperature rise velocity during the temperature rise period H3 is set to be higher than that during the temperature rise period H1 at which a temperature is increased from room temperature to the first set temperature.

**[0105]** The first set temperature T1 may be set within the range of 100°C to 700°C, and it is desirable that the temperature be set to 300°C or more. The second set temperature T2 may be set within the range of 600°C or more. The temperature rise velocity during the temperature rise period H3 may be set to 20°C / sec or more, and it is desirable that the velocity be set to 150°C / sec or more. It is required to set the temperature rise velocity during the temperature rise period H1 so that the water contained in the insulating thin film does not boil rapidly, and thus, it is desirable to set the velocity to 20°C / sec or less, for example.

**[0106]** After the drift layer 6 has been formed, the surface electrode 7 consisting of a metal layer (for example, gold) is formed in accordance with a vapor deposition technique, and a electron source 10 with its structure shown in Fig. 15D is obtained. In Embodiment 3, the surface electrode 7 is formed in accordance with the vapor deposition technique. However, a method of forming the surface electrode 7 is not limited to the vapor deposition technique, and a sputtering technical may be employed, for example.

**[0107]** In forming the insulating films (silicon oxide films 52 and 64), first, an insulating thin film forming a basis is formed in accordance with the electrochemical method on the surface of a semiconductor crystal (a number of grains and a number of silicon nanocrystals contained in the porous polycrystalline silicon layer 4).



In this manner, even in a semiconductor crystal of small size such as silicon nanocrystal (semiconductor nanocrystal) whose semiconductor crystal is in nano-meter order, the insulating thin films can be formed without destroying the silicon nanocrystals. Then, the first heat treatment is carried out at the first set temperature and temperature rise velocity set so that the water contained in the insulating thin film is removed without rapid boiling. Then, the second heat treatment is carried out at the second set temperature set so as to be higher than the first set temperature and so that structural alleviation of the insulating thin film occurs. In this manner, desired insulating films (silicon oxide films 52 and 64) can be obtained. That is, the water contained in the insulating film can be sufficiently reduced as compared with the insulating film formed in accordance with only the electrochemical method while the dielectric strength of the insulating film is prevented from being lowered due to rapid boiling of the water contained in the insulating thin film. In addition, the defect or strain and the like, which adversely affects the electrical characteristics, can be alleviated by structural alleviation. In this manner, an insulating film with its high dielectric strength and its extended service life can be formed.

**[0108]** In the electron source 10 manufactured in accordance with such a manufacturing method, the silicon oxide films 52 and 64 can be formed without destroying the silicon nanocrystals 63 as compare with a case in which the silicon oxide films 52 and 64 in the drift layer 6 are formed in accordance with only the rapid thermal oxidization technique. Thus, the electron emission efficiency, dielectric strength, or service life or the like can be improved. In addition, the water and strain in the silicon oxide films 52 and 64 can be reduced, and the dielectric strength and service life can be improved as compared with a case in which the silicon oxide films 52 and 64 in the drift layer 6 are formed in accordance with only the electrochemical method.

**[0109]** In the above manufacturing method, the first set temperature T1 is set to 700°C or less. Thus, even in the case where the semiconductor crystals (grains and silicon nanocrystals) are formed on the surface side of a glass substrate that is lower in price and lower in heat resistance temperature as compared with the quartz glass substrate, the heat treatment time H2 of the first heat treatment can be comparatively longer. In this manner, the residual water after the first heat treatment can be reduced more remarkably. In addition, the second set temperature is set within the temperature range of 600°C or more, and thus, the residual water in the insulating film (silicon oxide films 52 and 64) can be reduced more remarkably than the insulating thin film after the first heat treatment. Moreover, the second heat treatment is carried out in accordance with the rapid heat treatment technique, and thus, the temperature can be risen to the second set temperature within a short time. Thus, a damage that occurs with the silicon nanocrystal can be reduced.

**[0110]** The first heat treatment is carried out in atmosphere containing oxide species, and thus, a defect or the like occurring due to desorption of the water in the insulating thin film can be expected to be compensated for. In addition, oxygen coupling energy or reaction energy as well as thermal energy is utilized to desorb the water in the insulating thin film. In this manner, the residual water after the first heat treatment can be expected to be reduced more remarkably. Further, the second heat treatment is carried out in atmosphere containing oxide species. Thus, a thin thermally oxide film is formed on the surface side of the insulating thin film in accordance with the second heat treatment, and the dielectric strength of the insulating film is improved. In Embodiment 3, the second heat treatment is carried out after the first heat treatment. However, only the first heat treatment may be carried out without carrying out the second heat treatment. In this case as well, the dielectric strength and service life can be improved as compared with the prior art.

**[0111]** The first heat treatment may be carried out in a vacuum or inert gas atmosphere. The first heat treatment is carried out in a vacuum, whereby the first set temperature T1 can be set to be comparatively lower. That is, the first heat treatment is carried out in a vacuum, the water contained in the insulating thin film desorbs at a comparatively low temperature, and thus, the first set temperature T1 can be set to be comparatively low. The first heat treatment is carried out in inert gas atmosphere, thereby making it unnecessary to employ a vacuum device in order to carry out the first heat treatment. Thus, a simpler device can be employed as compared with the vacuum device, and the throughput in the device which carries out the first heat treatment can be improved.

**[0112]** The second heat treatment may be carried out in inert gas atmosphere, or alternatively, in atmosphere containing nitride species. The second heat treatment is carried out in inert gas atmosphere, thereby making it unnecessary to employ a vacuum device in order to carry out the second heat treatment. Thus, a simpler device can be employed as compared with the vacuum device, and the throughput in the device which carried out the second heat treatment can be improved. In addition, the film thickness of the insulating thin film is not changed by the second heat treatment, thus making it possible to control the film thickness of the insulating film under only a condition for the electrochemical method. This improves film thickness controllability of the insulating film. On the other hand, the second heat treatment is carried out in atmosphere containing nitride species, whereby a thin oxi-nitride film is formed on the surface side of the insulating thin film in accordance with the second heat treatment. In this manner, the dielectric strength of the insulating film is improved, and it can be expected that the electrical characteristics are improved due to reduction of a defect density in the insulating film.

**[0113]** In forming the insulating film, there may be em-

ployed a thin film forming device and an insulating film forming device comprising a first heat treatment device and a second heat treatment device. Here, a thin film forming device electrochemically forms an insulating thin film on the surface of a semiconductor crystal. The first heat treatment device carries out the first heat treatment at a first set temperature and a temperature rise velocity set so that the water contained in the insulating thin film is removed without rapid boiling. The second heat treatment device carries out the second heat treatment at the second set temperature set so as to be higher than the first set temperature and so that structural alleviation of the insulating thin film occurs, thereby forming a desired insulating film.

**[0114]** Although not shown, the thin film forming device comprises: a processing vessel that contains a predetermined electrolytic solution (for example, acids such as sulfuric acid, nitric acid, or aqua regia, or alternatively, an electrolytic solution obtained by dissolving a solute in an organic solvent may be employed); a cathode consisting of a platinum immersed in the electrolytic solution in the processing vessel; and a power source (for example, a constant power source) serving as power supply means for supplying power between an anode and a cathode with the anode being high in potential. In the thin film forming device, a target having a semiconductor crystal targeted for forming an insulating thin film is immersed in the electrolytic solution in the processing vessel, and an electrode (lower electrode 12 in Embodiment 3) provided in advance on the back surface of the target is utilized as an anode.

**[0115]** As shown in Fig. 17, the first heat treatment device is a lamp annealing device, and includes: an emission thermometer 42 that is temperature detecting means; and control means 44. The emission thermometer 42 detects a substrate temperature (temperature of the lower electrode 12 in Embodiment 3) in a target C set in a chamber 41 that carries out the first heat treatment. In Embodiment 3, a target layer 6' containing the grains 51, silicon nanocrystals 63, and insulating thin films is formed on the main surface side of the lower electrode 12. The control means 44 controls an output of a lamp (not shown) consisting of a halogen lamp so that the detected temperature by the emission thermometer 42 is substantially equal to the predetermined set temperature (first set temperature T1). Therefore, the first heat treatment device is compatible with the second heat treatment device. Thus, the first heat treatment and the second heat treatment can be continuously carried out in the same chamber 41.

**[0116]** In addition, water detecting means 43 is provided at the first heat treatment device. The water detecting means 43 is provided at the air exhaust side of the chamber 41 to detect the water caused by the insulating thin film of the target C. In the control means 44, if an amount of water detected by the water detecting means 43 is smaller than a predetermined amount, it is preferable that the first heat treatment be terminated.

Doing this can prevent an occurrence of excess or shortage in heat treatment time H2 of the first heat treatment, and can improve reproducibility of the electrical characteristics of the insulating film. As the water detecting means 43, for example, a Quadruple Mass Spectrometer can be employed. The water detecting means 43 is provided at the air exhaust side of the chamber 41, whereby the water caused by the insulating thin film can be detected comparatively easily.

**[0117]** Fig. 18 shows a result obtained by measuring change characteristics of the flow rate of water that desorbs from the insulating thin film relevant to the substrate temperature, by employing Thermal Desorption Spectrometry (TDS). In Fig. 18, there is shown that the flow rate of desorbing water is in the form of an ion current. According to the result shown in Fig. 18, it can be believed that the water in the insulating thin film is fully desorbed in a temperature region in which the substrate temperature is 450°C or more. Such a state can be believed as a substantially water-free state.

**[0118]** By employing such an insulating film forming device, an insulating film capable of improving the dielectric strength and extending service life can be formed with high reproducibility. The first heat treatment device is used together with the second heat treatment device, whereby the first heat treatment and the second heat treatment can be continuously carried out.

**[0119]** In Embodiment 3, although the drift layer 6 contains the grains 51 and silicon nanocrystals 63, this layer may be configured to be free of the grains 51. In Embodiment 3, the insulating thin film is defined as a silicon oxide film. However, the silicon nitride film may be formed instead of the silicon oxide film. In addition, although silicon is employed as a material for the semiconductor crystal, a semiconductor material other than silicon may be employed.

**[0120]** An insulating layer is employed instead of the drift layer 6, whereby there is provided an electron source including: a lower electrode (electrically conductive substrate); a surface electrode; and an insulating layer interposed between the lower electrode and the surface electrode so as to form the above insulating layer in accordance with the above-described method of forming the insulating thin film. In such an electron source, the dielectric strength and service life can be improved as compared with a conventional electron source with MIM type electric field emission rate.

(Embodiment 4)

**[0121]** Hereinafter, Embodiment 4 of the present invention will be described.

**[0122]** As shown in Fig. 19G, in Embodiment 4, as an electrically conductive substrate, there is employed a substrate on which an electrically conductive layer 12 (for example, a metal film such as chrome film or ITO film) is provided on a surface of an insulating substrate 11 consisting of a glass substrate. In the case

where there is thus employed a substrate on which the electrically conductive layer 12 is formed on one surface side of the insulating substrate 11, it is possible to achieve a larger area for an electron source and cost reduction as compared with a case in which a semiconductor substrate is employed as an electrically conductive substrate.

**[0123]** A basic configuration of an electron source 10 according to Embodiment 4 is similar to a conventional electron source 10" shown in Fig. 40. That is, a non-doped polycrystalline silicon layer 3 is formed on the electrically conductive layer 12 on the insulating substrate 11. A drift layer 6 consisting of an oxide porous polycrystalline silicon layer is formed on the polycrystalline silicon layer 3. A surface electrode 7 is formed on the drift layer 6. A material with its small function (for example, gold) is employed for the surface electrode 7. The film thickness of the surface electrode 7 is set to about 3 nm to 15 nm. A structure of the drift layer 6 will be described later. In the electron source 10 shown in Fig. 19G, a part of the polycrystalline silicon layer 3 is interposed between the electrically conductive layer 12 and the drift layer 6. However, the drift layer 6 may be formed on the electrically conductive layer 12 without having the polycrystalline silicon layer 3 being interposed.

**[0124]** A process for emitting an electron from the electron source 10 is similar to that in the case of the conventional electron source 10" shown in Fig. 40. That is, a collector electrode 21 (refer to Fig. 40) is arranged so as to be opposed to the surface electrode 7, and a vacuum state is established between the surface electrode 7 and the collector electrode 21. Then, a direct current voltage  $V_{ps}$  is applied between the surface electrode 7 and the electrically conductive layer 12 so that the surface electrode 7 becomes high in potential (positive in polarity) relevant to the electrically conductive layer 12. In addition, a direct current voltage  $V_c$  is applied between the collector electrode 21 and the surface electrode 7 so that the collector electrode 21 becomes high in potential relevant to the surface electrode 7. The direct current voltages  $V_{ps}$  and  $V_c$  each are properly set, whereby the electrons injected from the electrically conductive layer 12 drift in the drift layer 6, and are emitted via the surface electrode 7.

**[0125]** Hereinafter, a method of manufacturing the electron source 10 according to Embodiment 4 will be described with reference to Fig. 19A to Fig. 19G.

**[0126]** First, on one surface side of the insulating substrate 11, an electrically conductive layer 12 is provided in accordance with a sputtering technique, whereby an electrically conductive substrate is formed, and a structure shown in Fig. 19A is obtained.

**[0127]** Next, a non-doped polycrystalline silicon layer 3 that is a semiconductor layer with its predetermined film thickness (for example, 1.5  $\mu\text{m}$ ) is formed (film formed) on one surface side of the electrically conductive substrate, and a structure shown in Fig. 19B is ob-

tained. As a method of film forming the polycrystalline silicon layer 3, there may be employed a CVD technique (such as LPCVD technique, plasma CVD technique, or catalytic CVD technique, for example), a sputtering technique, or CGS (Continuous Grain Silicon) technique or the like.

**[0128]** After the non-doped polycrystalline silicon layer 3 has been formed, a mask material (not shown) for forming a polycrystalline silicon layer 4' described later in a predetermined region only is provided on the polycrystalline silicon layer 3. Then, an anodic oxidation processing vessel containing an electrolytic solution that consists of a mixture solution obtained by mixing 55 wt.% of hydrogen fluoride water solution and ethanol at substantially 1 : 1 is prepared. Then, with a platinum electrode (not shown) being negative in polarity and the electrically conductive layer 12 being positive in polarity, while light emission is carried out for the polycrystalline silicon layer 3, anodic oxidation processing is carried out under a predetermined condition. In this manner, a porous polycrystalline silicon layer 4' is formed. Then, the mask material is removed, and a structure shown in Fig. 19C is obtained. In the anodic oxidation processing according to Embodiment 4, the anodic oxidation processing period, the power of light emitted to the surface of the polycrystalline silicon layer 3, and the current density are made constant. However, this processing condition may be changed as required (for example, the current density may be changed).

**[0129]** After anodic oxidation processing has terminated, the porous polycrystalline silicon layer 4' is annealed at 400°C in  $\text{N}_2$  gas that is inert gas, whereby a structure shown in Fig. 19D is obtained. "4" in Fig. 19D indicates a porous polycrystalline silicon layer after annealing. Before annealing, the top surface of the porous polycrystalline silicon layer 4' is believed to be terminated by hydrogen atom, as shown in Fig. 42. In addition, it is believed that a fluorine atom is captured in the porous polycrystalline silicon layer 4', and further, water is adsorbed on the surface of the porous polycrystalline silicon layer 4'.

**[0130]** As shown in Fig. 20, by carrying out the above annealing, it is believed that the hydrogen atom, fluorine atom, and water desorb on the top surface of the porous polycrystalline silicon layer 4 after annealing. A temperature when annealing the porous polycrystalline silicon layer 4' may be properly set in the temperature range of 100°C to 700°C according to a material for an electrically conductive substrate or a material for a semiconductor layer. Inert gas when the porous polycrystalline silicon layer 4' is annealed is not limited to  $\text{N}_2$  gas, and Ar gas or the like may be employed, for example.

**[0131]** Next, the porous polycrystalline silicon layer 4 after annealing is electrochemically oxidized in water solution of 1 M of sulfuric acid ( $\text{H}_2\text{SO}_4$ ), thereby forming a drift layer 6', and a structure shown in Fig. 19G is obtained. The water solution and concentration employed for electrochemical oxidization is not particularly limited.

For example, nitric acid water solution or the like may be employed.

**[0132]** After electrochemical oxidization has terminated, the drift layer 6' is annealed at 400°C in N<sub>2</sub> gas that is inert gas, and a structure shown in Fig. 19F is obtained. "6" in Fig. 19F indicates a drift layer 6 after annealing. A temperature when annealing the drift layer 6' may be properly set in the temperature range of 100°C to 700°C according to a material for an electrically conductive substrate or a material for a semiconductor layer. Inert gas when annealing the drift layer 6' is not limited to N<sub>2</sub> gas, and Ar gas may be employed, for example. In addition, it is not required to anneal the drift layer 6' in inert gas. This annealing may be carried out in a vacuum.

**[0133]** After the drift layer 6 has been formed, the surface electrode 7 consisting of an electrically conductive thin film (for example, gold thin film) is formed on the drift layer 6 in accordance with a vapor deposition technique, for example, and an electron source 10 with its structure shown in Fig. 19F is obtained. A method of forming the surface electrode 7 is not limited to such a vapor deposition technique, and a sputtering technique may be employed, for example.

**[0134]** The drift layer 6 of the electron source 10 manufactured in accordance with such a manufacturing method is believed to be composed of: at least, columnar polycrystalline silicon grains 51; thin silicon oxide films 52; silicon nanocrystals 63 of nano-meter order; and silicon oxide films 64 as in the conventional electron source drift layer 6" shown in Fig. 39. However, the electron source 10 according to Embodiment 4 is different from the conventional electron source in the following point. That is, in this electron source 10, after the porous polycrystalline silicon layer 4' formed in anodic oxidization processing has been annealed in inert gas, the porous polycrystalline silicon layer 4' formed in accordance with anodic oxidization processing is oxidized, thereby forming the drift layer 6'. Then, the surface electrode 7 is formed after the drift layer 6' has been annealed in inert gas. Thus, a defect caused by impurities such as hydrogen or fluorine contained in the drift layer 6 can be comparatively reduced more remarkably as compared with a case in which the porous polycrystalline silicon layer has been oxidized while water or the like is adsorbed on the porous polycrystalline silicon layer immediately after anodic oxidization processing. Further, a fine oxide film close to a structure of SiO<sub>2</sub> or a structure of SiO<sub>2</sub> can be formed. In this manner, there can be provided an electron source 10 with a small change with an elapse of time, of electron emission efficiency, a high dielectric strength, and high reliability.

**[0135]** In the above-described manufacturing method, the porous polycrystalline silicon layer 4 after annealing is electrochemically oxidized. Thus, the porous polycrystalline silicon layer 4 after annealing can be oxidized at a comparatively low temperature. However, the step of oxidizing the porous polycrystalline silicon layer

4 after annealing is not limited to the electrochemically oxidizing step. For example, there may be employed: a dry process such as the thermal oxidizing step employing O<sub>2</sub> gas; the oxidizing step employing O<sub>2</sub> plasma, or the oxidizing step employing ozone. These steps are not a wet process such as electrochemically oxidizing step, and there is no need to always carry out annealing after the oxidizing step. Therefore, the number of steps can be reduced as compared with the case of carrying out electrochemical oxidization. Moreover, annealing processing of the porous polycrystalline silicon layer 4' and oxidization processing of the porous polycrystalline silicon layer 4 after annealing can be continuously carried out in a lamp annealing device, for example.

**[0136]** In Embodiment 4, as an electrically conductive substrate, there is employed a substrate on which an electrically conductive layer 12 is formed on one surface of the insulating substrate 11 consisting of a glass substrate. However, a metal substrate made of chrome or the like may be employed as an electrically conductive substrate. In addition, there may be employed a semiconductor substrate (such as an n-type silicon substrate whose resistivity is comparatively close to that of a conductor or p-type silicon substrate on which an n-type region is formed as an electrically conductive layer on one surface side, for example). As an insulating substrate 11, a ceramic substrate or the like as well as glass substrate can be employed.

**[0137]** In Embodiment 4, gold is employed as a material for the surface electrode 7. However, a material for the surface electrode 7 is not limited to gold, and there may be employed aluminum, chrome, tungsten, nickel, or platinum and the like, for example. In addition, the surface electrode 7 may be composed of at least two-layered thin film layer deposited in the thickness direction. In the case where the surface electrode 7 is composed of a two-layered thin film layer, for example, gold or the like can be employed as a material for an upper thin film layer. As a material for a lower thin film layer (thin film at the drift layer 6 side), for example, there can be employed chrome, nickel, platinum, titanium, indium or the like.

**[0138]** In addition, in Embodiment 4, the drift layer 6 is composed of the oxidized porous polycrystalline silicon layer. However, the drift layer 6 may be composed of an oxidized porous single-crystalline silicon or other oxidized porous semiconductor layer.

(Embodiment 5)

**[0139]** Hereinafter, Embodiment 5 of the present invention will be described.

**[0140]** As shown in Fig. 21F, in Embodiment 5, as an electrically conductive substrate, there is employed a substrate on which an electrically conductive layer 12 (for example, a metal film such as chrome film, titanium film, tungsten film and the like, and a number of kinds of the laminated films of a metal film, or ITO film and the

like) is provided on one surface of an insulating substrate 11 consisting of a glass substrate. In the case where there is thus employed a substrate on which the electrically conductive layer 12 is formed on one surface side of the insulating substrate 11, it is possible to achieve a larger area for an electron source and cost reduction as compared with a case in which a semiconductor substrate is employed as an electrically conductive substrate.

**[0141]** A basic configuration of an electron source 10 according to Embodiment 5 is similar to a conventional electron source 10" shown in Fig. 40. That is, a non-doped polycrystalline silicon layer 3 is formed on the electrically conductive layer 12 on the insulating substrate 11. A drift layer 6 consisting of an oxide porous polycrystalline silicon layer is formed on the polycrystalline silicon layer 3. A surface electrode 7 is formed on the drift layer 6. A material with its small function (for example, gold) is employed for the surface electrode 7. The film thickness of the surface electrode 7 is set to about 10 nm to 15 nm. A structure of the drift layer 6 will be described later. In the electron source 10 shown in Fig. 21F, a part of the polycrystalline silicon layer 3 is interposed between the electrically conductive layer 12 and the drift layer 6. However, the drift layer 6 may be formed on the electrically conductive layer 12 without having the polycrystalline silicon layer 3 being interposed.

**[0142]** A process for emitting an electron from the electron source 10 is similar to that in the case of the conventional electron source 10" shown in Fig. 40. That is, a collector electrode 21 (refer to Fig. 40) is arranged so as to be opposed to the surface electrode 7, and a vacuum state is established between the surface electrode 7 and the collector electrode 21. Then, a direct current voltage  $V_{ps}$  is applied between the surface electrode 7 and the electrically conductive layer 12 so that the surface electrode 7 becomes high in potential (positive in polarity) relevant to the electrically conductive layer 12. In addition, a direct current voltage  $V_c$  is applied between the collector electrode 21 and the surface electrode 7 so that the collector electrode 21 becomes high in potential relevant to the surface electrode 7. The direct current voltages  $V_{ps}$  and  $V_c$  each are properly set, whereby the electrons injected from the electrically conductive layer 12 drift in the drift layer 6, and are emitted via the surface electrode 7.

**[0143]** Hereinafter, a method of manufacturing the electron source 10 according to Embodiment 5 will be described with reference to Fig. 21A to Fig. 21F.

**[0144]** First, on one surface side of an insulating substrate 11, an electrically conductive layer 12 is provided in accordance with a sputtering technique, thereby forming an electrically conductive substrate, and a structure shown in Fig. 21A is obtained. Then, on one surface side (that is, on an electrically conductive layer 12) of the electrically conductive substrate, a polycrystalline silicon layer 3 of predetermined film thickness (for exam-

ple, 1.5  $\mu\text{m}$ ) is formed (film formed) as a layered semiconductor layer consisting of polycrystalline silicon that is a polycrystalline semiconductor, and a structure shown in Fig. 21B is obtained. As a method of film forming the polycrystalline silicon layer 3, for example, there may be employed a CVD technique (such as LPCVD technique, plasma CVD technique, or catalytic CVD technique, for example), a sputtering technique, or a CGS (Continuous Grain Silicon) technique. When the film forming temperature is set to 600°C or less, as an insulating substrate 11, for example, there can be employed a comparatively inexpensive glass substrate such as non-alkali glass substrate, low alkali glass substrate, soda lime glass substrate, and cost reduction can be achieved.

**[0145]** After the non-doped polycrystalline silicon layer 3 has been formed, the polycrystalline silicon layer 3 is subjected to annealing at a predetermined time (for example, 1 hour) at a predetermined annealing temperature (for example, 100°C to 700°C, and desirably 500°C to 600°C) in  $\text{N}_2$  gas that is inert gas. In this manner, the crystalline properties are improved, a defect is reduced, and a structure shown in Fig. 21C is obtained. 3' in Fig. 21C indicates a polycrystalline silicon layer after annealing. In Embodiment 5, a polycrystalline silicon layer 3' after annealing configures a polycrystalline semiconductor layer. Inert gas when annealing the polycrystalline silicon layer 3 is not limited to  $\text{N}_2$  gas, and Ar gas may be employed, for example. The polycrystalline silicon layer 3 may not be annealed in inert gas, and may be annealed in a vacuum. When annealing is carried out in inert gas or vacuum, inert impurities can be restricted from being introduced into the polycrystalline silicon layer 3 during annealing. It is desirable that the temperature in annealing the polycrystalline silicon layer 3 be set at a comparatively high temperature considering a heat resistance temperature such as a material for an electrically conductive substrate.

**[0146]** After annealing has been carried out, a mask material (not shown) for forming the porous polycrystalline silicon layer 4 in a predetermined region only is provided on the polycrystalline silicon layer 3'. Then, an anodic oxidization processing vessel containing an electrolytic solution that consists of a mixture solution obtained by mixing 55 wt.% of hydrogen fluoride water solution and ethanol at substantially 1: 1 is prepared. Then, with a platinum electrode (not shown) being negative in polarity and the electrically conductive layer 12 being positive in polarity, while light emission is carried out for the polycrystalline silicon layer 3, anodic oxidization processing is carried out under a predetermined condition. In this manner, a porous polycrystalline silicon layer 4' is formed. Then, the mask material is removed, and a structure shown in Fig. 21D is obtained. In the anodic oxidization processing according to Embodiment 5, the anodic oxidization processing period, the power of light emitted to the surface of the polycrystalline silicon layer 3, and the current density are made constant.

However, this processing condition may be changed as required (for example, the current density may be changed).

[0147] After anodic oxidization processing has terminated, the porous polycrystalline silicon layer 4' is electrochemically oxidized in water solution of 1M of sulfuric acid ( $H_2SO_4$ ), thereby forming a drift layer 6' and a structure shown in Fig. 21E is obtained. The water solution and concentration employed for electrochemical oxidization is not particularly limited. For example, the nitric acid water solution or the like may be employed.

[0148] After the drift layer 6 has been formed, a surface electrode 7 consisting of an electrically conductive thin film (for example, gold thin film) is formed on the drift layer 6 in accordance with a vapor deposition technique, for example, and an electron source 10 shown in Fig. 21F is obtained. A method of forming the surface electrode 7 is not limited to the vapor deposition technique, and a sputtering technique may be employed, for example.

[0149] The drift layer 6 of the electron source 10 manufactured by such a manufacturing method is believed to be composed of: at least, polycrystalline silicon grains 51; thin silicon oxide films 52; silicon nanocrystals 63 of nano-meter order; and silicon oxide films 64 as in a drift layer 6' of the conventional electron source shown in Fig. 39. However, the electron source 10 according to Embodiment 5 is different from the conventional electron source in the following point. That is, in the electron source 10, after annealing the polycrystalline silicon layer 3, the porous polycrystalline silicon layer 4 formed in accordance with anodic oxidization processing is oxidized, thereby forming the drift layer 6. Thus, a polycrystalline silicon layer 3' that is a polycrystalline silicon layer is formed by annealing the polycrystalline silicon layer 3 that is a layered semiconductor layer.

[0150] In this manner, while the polycrystalline silicon layer 3' is formed at a comparatively low temperature (600°C or less), a compound layer or alloy layer consisting of a semiconductor and a metal can be formed with the crystalline properties of the polycrystalline silicon layer 3' being on a critical surface between the polycrystalline silicon layer 3 the electrically conductive layer 12. In addition, the polycrystalline silicon layer 3 is almost crystallized on the critical surface, and a low resistance can be achieved as compared with the conventional polycrystalline silicon layer 3 formed at a comparatively low temperature. As this result, a barrier layer or high resistance layer between the polycrystalline silicon layer 3 and the electrically conductive layer 12 can be reduced. Thus, there can be provided an electron source 10 capable of improving electron emission efficiency and reliability. In the electron source 10 manufactured in accordance with such a manufacturing method, as in a conventional electron source 10' shown in Fig. 38, an electron can be constantly emitted while the dependency of degree of vacuum in electron emission characteristics is small, and while a popping phenomenon

is not generated during electron emission.

[0151] Fig. 22A to Fig. 22C each show a result obtained when electron emission characteristics (such as emission current  $I_e$  or electron emission efficiency) have been measured with respect to the electron source 10 manufactured in accordance with the conventional electron source 10' (refer to Fig. 40) and the electron source manufactured in accordance with the manufacturing method according to Embodiment 5. Fig. 22A shows a measurement result of the conventional electron source 10' (Conventional example: No annealing). Fig. 22B shows a measurement result of the electron source 10 according to Embodiment 5 when an annealing temperature is set to 500°C (Embodiment 1). Fig. 22C shows a measurement result of the electron source 10 according to Embodiment 5 when an annealing temperature is set to 550°C (Embodiment 2).

[0152] The horizontal axis of Fig. 22A to Fig. 22C indicates the direct current voltage  $V_{ps}$ , and the vertical axis on the left side indicates the current density. " $\alpha$ " indicates the current density of the diode current  $I_{ps}$ , and " $\beta$ " indicates the current density of the emission current  $I_e$ . In addition, the vertical axis on the left side of Fig. 22A to Fig. 22C each indicates the electron emission efficiency. " $\gamma$ " indicates the electron emission efficiency. The direct current voltage  $V_c$  is 100V which is constant. The electron emission efficiency is a value obtained as  $(I_e / I_{ps}) \times 100$  [%]. In any of the prior art, Example 1 and Example 2, the polycrystalline silicon layer 3 was deposited on the electron conductive substrate in accordance with a plasma CVD technique.

[0153] Referring to Fig. 22A to Fig. 22C, in Examples 1 and 2 in which annealing was carried out, it is found that the emission current  $I_e$  and electron emission efficiency is significantly improved as compared with the prior art in which no annealing was carried out. In addition, in comparing Example 1 with Example 2, it is found that Example 2 in which an annealing temperature is high is improved as compared with Example 1 in both of emission current  $I_e$  and electron emission efficiency.

[0154] In the above-described manufacturing method, a layered semiconductor layer is composed of the polycrystalline silicon layer 3 consisting of polycrystalline silicon. However, such a layered semiconductor layer may be composed of a semiconductor nanocrystal such as silicon nanocrystal, for example. In this case, after forming a layered semiconductor layer consisting of a silicon nanocrystal, the semiconductor layer is polycrystallized by annealing, whereby the polycrystalline silicon layer 3' may be formed.

[0155] In Embodiment 5, as an electrically conductive substrate, there is employed a substrate on which an electrically conductive layer 12 is formed on one surface of an insulating substrate 11 consisting of a glass substrate. However, as an electrically conductive substrate, a metal substrate made of chrome or the like may be employed. Alternatively, there may be employed a semiconductor substrate (for example, n-type silicon sub-



strate layer whose resistivity is comparatively close to that of a conductor or p-type silicon on which n-type region is formed as an electrically conductive layer on one surface side). As an insulating substrate 11, a ceramic substrate or the like as well as a glass substrate can be employed.

[0156] In Embodiment 5, gold is employed as a material for the surface electrode 7. However, the material for the surface electrode 7 is not limited to gold, and aluminum, chrome, tungsten, nickel, platinum or the like may be employed, for example.

[0157] In addition, the surface electrode 7 may be composed of at least two-layered thin film layer deposited in the thickness direction. In this case, gold or the like, for example, can be employed as a material for an upper thin film layer. Chrome, nickel, platinum, titanium, or indium and the like can be employed as a material for a lower thin film layer (thin film layer on the drift layer 6 side).

[0158] In Embodiment 5, the drift layer 6 is composed of an oxide porous polycrystalline silicon layer. However, the drift layer 6 may be composed of the other oxide porous polycrystalline semiconductor layer.

(Embodiment 6)

[0159] Hereinafter, Embodiment 6 of the present invention will be described.

[0160] As shown in Fig. 23, in an electron source 10 according to Embodiment 6, as an electrically conductive substrate, there is employed a single-crystalline n-type silicon substrate 1 whose resistivity is comparatively close to a resistivity of a conductor (for example, a (100) substrate whose resistivity is 0.01  $\Omega$  cm to 0.02  $\Omega$  cm).

[0161] In this electron source 10, a drift layer 6 consisting of an oxide porous polycrystalline silicon layer is formed on a main surface side of an n-type silicon substrate 1. A surface electrode 7 is formed on the drift layer 6. An ohmic electrode 2 is formed on the back surface of the n-type silicon substrate 1. A lower electrode 12 is composed of the n-type silicon substrate 1 and ohmic electrode 2. Therefore, the surface electrode 7 is opposed to the lower electrode 12, and the drift layer 6 is interposed between the lower electrode 12 and the surface electrode 7.

[0162] The surface electrode 7 may be formed of metal films and laminated films of these metal films, each of which consists of a chemically stable metal with its small work function and high oxidation resistance such as gold (Au), platinum (Pt), or chrome (Cr), for example. The thickness of the surface electrode 7 may be set in the range of about 3 nm to 15 nm.

[0163] The configuration and function of the drift layer 6 is similar to those of Embodiment 1. That is, the drift layer 6 is composed of, at least, grains 51, silicon oxide films 52, a number of silicon nanocrystals 63, and a number of silicon oxide films 64 (refer to Fig. 1). In ad-

dition, in the drift layer 6, the surface of each grain is made porous, and a crystalline state is maintained at the center portion of each grain. Each grain 51 extends in the thickness direction of the lower electrode 12. In addition, a detailed description of the insulating films 52 and 64 will be given when a description of a manufacturing method which will be described later is given.

[0164] As shown in Fig. 24, in an electron source 10 according to Embodiment 6 as well, it is believed that electron emission occurs in a model similar to a case of the electron source 10 according to Embodiment 1 or Embodiment 3. That is, the direct current voltage  $V_{ps}$  is applied between the surface electrode 7 and the lower electrode 12, and the direct current voltage  $V_c$  is applied between the collector electrode 21 (for example, a transparent electrically conductive film such as ITO film) and the surface electrode 7 with the collector electrode 21 being positive in polarity, whereby the electrons "e-" injected from the lower electrode 12 into the drift layer 6 in accordance with thermal excitation drift, tunnel the surface electrode 7, and are emitted into the vacuum.

[0165] Hereinafter, a method of manufacturing the electron source 10 according to Embodiment 6 will be described with reference to Fig. 25A to Fig. 25D.

[0166] First, an ohmic electrode 2 is formed on the back surface of an n-type silicon substrate 1. Then, the film forming step of forming a non-doped polycrystalline silicon layer 3 as a semiconductor layer on a main surface (one surface) of the n-type silicon substrate 1 is carried out, and a structure shown in Fig. 25A is obtained. As a method of film forming the polycrystalline silicon layer 3, for example, there may be employed a CVD technique (such as LPCVD technique, plasma CVD technique, or catalytic CVD technique, for example), a sputtering technique, or a CGS (Continuous Grain Silicon) technique or the like.

[0167] After the non-doped polycrystalline silicon layer 3 has been formed, the polycrystalline silicon layer 3 is made porous in accordance with the anode oxidation processing step. In this manner, a porous polycrystalline silicon layer 4 that is a porous semiconductor layer is formed, and a structure shown in Fig. 25B is obtained. The porous polycrystalline silicon layer 4 formed by the anode oxidation processing step contains a number of grains 51 of polycrystalline silicon (refer to Fig. 1) and a number of silicon nanocrystals 63 (refer to Fig. 1). In the anodic oxidation processing step, there is employed an anodic oxidation processing vessel that contains an electrolytic solution consisting of a mixture solution obtained by mixing 55 wt.% of hydrogen fluoride water solution and ethanol at substantially 1 : 1. Then, while light emission is carried out on the surface of the polycrystalline silicon layer 3 by a light source consisting of a 500W tungsten lamp, a current is supplied between the lower electrode 12 and a cathode consisting of a platinum electrode. In this manner, the polycrystalline silicon layer 3 is made porous to a predetermined depth from the main surface (in Embodiment 6, although

this layer is set a depth which does not reach the lower electrode 12, it may be set to a depth which reaches the lower electrode 12).

**[0168]** After the anodic oxidization processing step has terminated, rinsing is carried out using ethanol. Then, the insulating film forming step of forming the insulating films 52 and 64 on the surface of each grain 51 and each silicon nanocrystal 63 contained in the porous polycrystalline silicon layer 4 is carried out. In this manner, a drift layer 6 containing the grains 51, silicon nanocrystals 63, and the insulating films 52 and 64 is formed, and a structure shown in Fig. 25C is obtained. The insulating film forming step will be described later.

**[0169]** After the drift layer 6 has been formed, the surface electrode 7 consisting of a metal layer (for example, gold) is formed in accordance with a vapor deposition technique, and an electron source 10 with its structure shown in Fig. 25D is obtained. In Embodiment 6, the surface electrode 7 is formed in accordance with the vapor deposition technique. However, a method of forming the surface electrode 7 is not limited to the vapor deposition technique, and a sputtering technique may be employed, for example.

**[0170]** In the insulating film forming step, oxidization processing and nitriding processing are carried out. In the oxidization processing, an oxide film (silicon oxide film) with film thickness to an extent such that an electron tunneling phenomenon occurs on the surface of each silicon nanocrystal 63 (thin film that is smaller than the crystalline particle size of the silicon nanocrystal 63) is formed in accordance with processing capable of restricting an occurrence of the damage to each silicon nanocrystal 63. In nitriding processing, the film quality of each oxide film (silicon oxide film) is improved in accordance with processing capable of restricting an occurrence of the damage to each silicon nanocrystal 63.

**[0171]** The oxidization processing consists of the oxidizing step of forming an oxide film with film thickness to an extent such that an electron tunneling phenomenon occurs on the surface of each silicon nanocrystal 63 at a heat treatment time (hereinafter, referred to as "first predetermined heat treatment time") capable of restricting an occurrence of the damage to each silicon nanocrystal 63 in accordance with the rapid thermal oxidization technique. In this oxidizing step, by employing a lamp annealing device, for example, in oxygen gas atmosphere, oxidization is carried out at a first predetermined heat treatment temperature (for example, 900°C) by the first predetermined heat treatment time (for example, 5 minutes). That is, the first predetermined heat treatment time is remarkably reduced as compared with a predetermined heat treatment time (1 hour) in accordance with the oxidizing step using the conventional rapid heat oxidization technique. It is verified that the first predetermined heat treatment time is desirable set within 5 minutes from a measurement result of electron emission characteristics of the manufactured electron source 10. However, the temperature rise velocity of a

temperature rise period in which a substrate temperature is risen to the first predetermined heat treatment temperature is set to 20°C / sec or more, and desirably to 150°C / sec or more.

**[0172]** The nitriding processing consists of the nitriding step of nitriding each oxide film at a heat treatment time (hereinafter, referred to as "second predetermined heat treatment time") capable of restricting an occurrence of the damage to each silicon nanocrystal 63 in accordance with the rapid heat nitriding technique. In this nitriding step, by employing a lamp annealing device, for example, in N<sub>2</sub>O gas atmosphere, nitriding is carried out at a second predetermined heat treatment temperature (for example, 900°C) for a second predetermined heat treatment time (for example, 5 minutes). It is verified that the second predetermined heat treatment time is desirably set within 5 minutes from a measurement result of electron emission characteristics of the manufactured electron source 10. However, the temperature rise temperature of the temperature rise period in which a substrate temperature is risen to the second specified heat treatment temperature is set to 20°C / sec or more, desirably to 150°C / sec or more. In Embodiment 6, N<sub>2</sub>O gas is employed in the nitriding step, and thus, oxidization advances at the same time when each oxide film is nitride. As a result, the insulating films 52 and 64 each are provided as an oxo-nitride film (silicon oxo-nitride film). The gas employed in the nitriding step is not limited to N<sub>2</sub>O gas, and a gas containing NO gas, NH<sub>3</sub> gas, or N<sub>2</sub> gas may be employed, for example.

**[0173]** According to this manufacturing method, in the insulating film forming step of forming the insulating films 52 and 64, an oxide film with film thickness to an extent such that an electron tunneling phenomenon occurs on the surface of each silicon nanocrystal 63 in accordance with processing capable of restricting an occurrence of the damage to each silicon nanocrystal 63. In addition, an oxide film is formed on the surface of the grain 51, and each oxide film is nitride in accordance with processing capable of restricting an occurrence of the damage to each silicon nanocrystal 63, thereby improving the film quality. Thus, the stability with an elapse of time, of the electron emission characteristics, is improved as compared with the case in which the insulating films 52 and 64 each are formed within a comparatively long heat treatment time (for example, 1 hour) in accordance with the rapid thermal oxidization technique as in the prior art. Moreover, the heat treatment time at a high temperature caused by forming the insulating films 52 and 64 can be reduced. Thus, in the case where the lower electrode 12 is formed on the insulating substrate 11 such as a glass substrate as in the conventional electron source 10" shown in Fig. 40, it becomes possible to employ as a glass substrate a non-alkali glass substrate which is comparatively inexpensive as compared with a quartz glass or a glass substrate with its comparatively low heat resistance temperature such as



low alkali glass substrate, and cost reduction can be achieved. In Embodiment 6, oxidization processing and nitriding processing can be carried out in the same device, thus making it possible to prevent impurities from adhering between the oxidization processing and the nitriding processing.

**[0174]** Fig. 26 and Fig. 27 each show a result obtained by measuring electron emission characteristics of the electron source 10 manufactured in accordance with the above-described manufacturing method and a change with an elapse of time, of electron emission characteristics.

**[0175]** Fig. 28 and Fig. 29 show a result by measuring: the electron emission characteristics of an electron source according to Comparative Example 1 in which a heat treatment temperature is set to 900°C by employing only the rapid thermal nitriding technique in the insulating film forming step, and the heat treatment time is set to 5 minutes; and the change with an elapse of time, of electron emission characteristics.

**[0176]** Fig. 30 and Fig. 31 each show a result by measuring: the electron emission characteristics of an electron source according to Comparative Example 2 in which a heat treatment temperature is set to 900°C by employing only the rapid thermal nitriding technique in the insulating film forming step, and a heat treatment time is set to 60 minutes; and a change with an elapse of time, of electron emission characteristics.

**[0177]** Measurement of the electron emission characteristics of the electron source 10 and the electron sources according to Comparative Examples 1 and 2 were carried out as follows. That is, the electron source 10 and the electron sources according to Comparative Examples 1 and 2 were introduced into a vacuum chamber (not shown). Then, as shown in Fig. 38, a collector electrode 21 was disposed in opposite to the surface electrode 7. Further, the direct current voltage Vps was applied with the surface electrode 7 being high in potential relevant to the lower electrode 12, and the direct current voltage Vc was applied with the collector electrode 21 being high in potential relevant to the surface electrode 7.

**[0178]** Fig. 26, Fig. 28 and Fig. 30 show a measurement result of electron emission characteristics when the direct current voltage Vc is constant at 100 V, and the degree of vacuum in the vacuum chamber is set to  $5 \times 10^{-5}$  Pa. In these figures each, the horizontal axis indicates a direct current voltage Vps, and the vertical axis indicates the current density. "P" indicates the current density of the diode current Ips, and "Q" indicates the current density of the emission current Ie.

**[0179]** Fig. 27, Fig. 29 and Fig. 31 show a measurement result of electron emission characteristics when the direct current voltage Vc is constant at 100 V, and the degree of vacuum in the vacuum chamber is set to  $5 \times 10^{-5}$  Pa. In these figures each, the horizontal axis indicates an elapse of time from the start of driving, the vertical axis on the left side indicates the current density,

and the vertical axis on the right side indicates the electron emission efficiency. "P" indicates the current density of the diode current Ips, "Q" indicates the current density of the emission current Ie, and "R" indicates the electron emission efficiency. However, Fig. 27 shows a measurement result when the direct current voltage Vps is constant at 15V. Fig. 29 shows a measurement result when the direct current voltage is constant at 11V. Fig. 31 shows a measurement result when the direct current voltage Vps is constant at 15V.

**[0180]** Referring to Fig. 26 to Fig. 31, in the electron source 10 according to Embodiment 6, it is found that the stability with an elapse of time, of the electron emission characteristics is improved as compared with the electron sources according to Comparative Examples 1 and 2.

**[0181]** In Embodiment 6, the lower electrode 12 is composed of the n-type silicon substrate 1 and ohmic electrode 2. However, the lower electrode 12 consisting of a metal material or densely doped polycrystalline silicon layer may be formed on one surface side of an insulating substrate (such as glass substrate or ceramic substrate, for example). In addition, a part of the surface side of the n-type silicon substrate 1 is made porous in accordance with the anode oxidization processing step, whereby a porous silicon layer that is a porous semiconductor layer is formed so as to carry out the insulating film forming step for this porous silicon layer.

(Embodiment 7)

**[0182]** Hereinafter, Embodiment 7 of the present invention will be described. A method of manufacturing an electron source according to Embodiment 7 is merely different from that according to Embodiment 6 in the insulating film forming step. Thus, the insulating film forming step will be primarily described. In Embodiment 7 as well, as in Embodiment 6, oxidization processing and nitriding processing are carried out in the insulating film forming step.

**[0183]** The oxidization processing in Embodiment 7 consists of the oxidizing step and annealing step. In the oxidizing step, an oxide film is formed on the surface of each silicon nanocrystal 63 in accordance with an electrochemical method. The annealing step is carried out after the oxidizing step, and each oxide film is annealed.

**[0184]** Specifically, in the oxidizing step, after the end of the anodic oxidization processing step, rinsing using ethanol is carried out. Then, an electrochemical method of applying a constant voltage between the lower electrode 12 and a cathode consisting of a platinum electrode by employing a processing vessel that contains a sulfuric acid water solution of a predetermined concentration (for example, 1 mol / l = 1 M) is utilized. In this manner, an oxide film with film thickness to an extent such that an electron tunneling phenomenon occurs is formed on the surface of each grain 51 and each silicon nanocrystal 63. An electrolytic solution employed in the

oxidizing step is not limited to a sulfuric acid water solution, and a sulfuric acid water solution or aqua regia and the like may be employed, for example. Alternatively, an electrolytic solution obtained by dissolving a solute in an organic solvent may be employed.

**[0185]** In the annealing step, for example, by employing a lamp annealing device (a general furnace is also available), in  $N_2O$  gas atmosphere, annealing is carried out at a predetermined annealing temperature (for example,  $450^\circ C$ ) for a predetermined annealing time (for example, 1 hour). The annealing temperature may be set to  $700^\circ C$  or less, and it is preferable that the temperature be set to  $600^\circ C$  or less. According to the electrochemical method, an oxide film can be formed at room temperature. Thus, the annealing temperature is set to  $700^\circ C$  or less, whereby heat treatment at a high temperature in the oxidizing step (for example,  $900^\circ C$  or less) can be eliminated as compared with Embodiment 6. In addition, the annealing temperature is set to  $700^\circ C$  or less, whereby, in the case where the lower electrode 12 is formed on the insulating substrate 11 such as glass substrate as in the conventional electron source 10 shown in Fig. 40, an effect of the oxidizing step on the glass substrate can be eliminated.

**[0186]** The nitriding processing consists of the nitriding step of nitriding each oxide film at a heat treatment time capable of restricting an occurrence of the damage to each silicon nanocrystal 63 (hereinafter, referred to as second predetermined heat treatment time as in Embodiment 1). In the nitriding step, by employing a lamp annealing device, for example, in  $N_2O$  gas atmosphere, nitriding is carried out at a second predetermined heat treatment temperature (for example,  $900^\circ C$ ) for a predetermined heat treatment time (for example, 5 minutes). It is verified that the second predetermined heat treatment time be desirably set within 5 minutes from a measurement result of electron emission characteristics of the manufactured electron source 10. However, the temperature rise velocity at which the substrate temperature is risen to the second predetermined heat treatment temperature is set to  $20^\circ C$  or more, desirably  $150^\circ C$  or more. In Embodiment 7,  $N_2O$  gas is employed in the nitriding step, and thus, oxidization advances at the same time when each oxide film is nitride. As a result, the insulating films 52 and 64 each are provided as oxi-nitride films (silicon oxi-nitride films). The gas employed in the nitriding step is not limited to  $N_2O$  gas, and a gas containing nitrogen such as NO gas,  $NH_3$  gas, or  $N_2$  gas, for example, may be employed.

**[0187]** With a method of manufacturing the electron source 10 according to Embodiment 7, an operation / advantageous effect similar to that of Embodiment 6 is obtained. That is, in this manufacturing method, in the insulating film forming step, an oxide film with film thickness to an extent such that an electron tunneling phenomenon occurs is formed on the surface of each silicon nanocrystal 63 in accordance with processing capable of restricting an occurrence of the damage to each sili-

con nanocrystal 63. In addition, an oxide film is formed on the surface of each of the grains 51, nitriding each oxide film in accordance with processing capable of restricting an occurrence of the damage to each silicon nanocrystal 63, and the film quality is improved. Thus, unlike the conventional electron source, the stability with an elapse of time, of the electron emission characteristics, is improved as compared with a case in which the insulating films 52 and 64 each are formed at a comparatively long heat treatment time (for example, 1 hour) in accordance with the rapid heat oxidization technique. Moreover, the heat treatment time at a high temperature caused by forming the insulating films 52 and 64 each can be reduced. Thus, in the case where the lower electrode 12 is formed on the insulating substrate 11 such as a glass substrate as in the conventional electron source 10 shown in Fig. 40, it becomes possible to employ a comparatively inexpensive non-alkali glass substrate or low alkali glass substrate or the like as a glass substrate, and cost reduction can be achieved. In addition, the heat treatment time at a high temperature (for example,  $900^\circ C$ ) in the insulating film forming step can be reduced more remarkably as compared with Embodiment 1. Further, each silicon nanocrystal 63 is formed in accordance with a wet type anodic oxidation processing, thus making it possible to form an oxide film on the surface of each silicon nanocrystal 63 and each grain 51 in the oxidizing step without exposing the oxide film to the air after the anodic oxidation processing. Thus, a natural oxide film can be prevented from being formed on the surface of each silicon nanocrystal 63 and grain 51. This makes it possible to form a good quality oxide film on the surface of each silicon nanocrystal 63 and each grain 51 in the oxidizing step.

**[0188]** Fig. 32 and Fig. 33 each show a result obtained by measuring: the electron emission characteristics of the electron source 10 manufactured in the manufacturing method according to Embodiment 7; and a change with an elapse of time, of the electron emission characteristics.

**[0189]** Measurement of the electron emission characteristics of the electron source 10 according to Embodiment 7 were carried out as follows. That is, the electron source 10 was introduced into a vacuum chamber (not shown). Then, as shown in Fig. 38, a collector electrode 21 was disposed in opposite to the surface electrode 7. Further, a direct current voltage  $V_{ps}$  was applied with the surface electrode 7 being high in potential relevant to the lower electrode 12, and a direct current voltage  $V_c$  was applied with the collector electrode 21 being high in potential relevant to the surface electrode 7.

**[0190]** Fig. 32 shows a measurement result of electron emission characteristics when the direct current voltage  $V_c$  is constant at 100 V, and the degree of vacuum in the vacuum chamber is set to  $5 \times 10^{-5}$  Pa. In these figures each, the horizontal axis indicates the direct current voltage  $V_{ps}$ , and the vertical axis indicates the current density. "P" indicates the current density of

the diode current  $I_{ps}$ , and "Q" indicates the current density of the emission current  $I_e$ .

[0191] Fig. 33 shows a measurement result of electron emission characteristics when the direct current voltage  $V_c$  is constant at 100 V, and the degree of vacuum in the vacuum chamber is set to  $5 \times 10^{-5}$  Pa. In Fig. 33, the horizontal axis  $h$  indicates the elapse of time from the start of driving, the vertical axis on the left side indicates the current density, and the vertical axis on the right side indicates the electron emission efficiency. "P" indicates the current density of the diode current  $I_{ps}$ , "Q" indicates the current density of the emission current  $I_e$ , and "R" indicates the electron emission efficiency.

[0192] Referring to Fig. 32 and Fig. 33 and Fig. 28 to Fig. 31 each showing a measurement result concerning Comparative Examples 1 and 2 described in Embodiment 6, in the electron source 10 according to Embodiment 7, it is found that the stability with an elapse of time, of the electron emission characteristics, is improved as compared with the electron source according to Comparative Examples 1 and 2 each.

(Embodiment 8)

[0193] Hereinafter, Embodiment 8 of the present invention will be described. A method of measuring an electron source according to Embodiment 8 is merely different from that according to Embodiment 6 in the insulating film forming step. Thus, the insulating film forming step will be primarily described. In Embodiment 8 as well, as in Embodiment 6, oxidization processing and nitriding processing are carried out in the insulating film forming step.

[0194] The oxidization processing in Embodiment 8 consists of the first oxidizing step, annealing step, and the second oxidizing step. In the first oxidizing step, an oxide film is formed on the surface of each silicon nanocrystal 63 in accordance with an electrochemical method. The annealing step is carried out after the first oxidizing step, and each oxide film is annealed. The second oxidizing step is carried out after the annealing step, and each oxide film is oxidized furthermore at a heat treatment time capable of restricting an occurrence of the damage to each silicon nanocrystal 63 in accordance with the rapid heat oxidization technique.

[0195] Specifically, in the oxidizing step, after the end of the anodic oxidization processing step, rinsing using ethanol is carried out. Then, an electrochemical method of applying a constant voltage between the lower electrode 12 and a cathode consisting of a platinum electrode by employing a processing vessel that contains a sulfuric acid water solution of a predetermined concentration (for example,  $1 \text{ mol} / 1 = 1 \text{ M}$ ) is utilized. In this manner, an oxide film with film thickness to an extent such that an electron tunneling phenomenon occurs is formed on the surface of each grain 51 and each silicon nanocrystal 63. An electrolytic solution employed in the oxidizing step is not limited to a sulfuric acid water so-

lution, and a sulfuric acid water solution or aqua regia and the like may be employed, for example. Alternatively, an electrolytic solution obtained by dissolving a solute in an organic solvent may be employed.

[0196] In the annealing step, for example, by employing a lamp annealing device (a general furnace is available), in  $N_2O$  gas atmosphere, annealing is carried out at a predetermined annealing temperature (for example,  $450^\circ\text{C}$ ) for a predetermined annealing time (for example, 1 hour). The annealing temperature may be set to  $700^\circ\text{C}$  or less, and it is preferable that the temperature be set to  $600^\circ\text{C}$  or less. The annealing temperature is set to  $700^\circ\text{C}$  or less, whereby, in the case where the lower electrode 12 is formed on the insulating substrate 11 such as glass substrate as in the conventional electron source 10" shown in Fig. 40, an effect of the oxidizing step on the glass substrate can be eliminated.

[0197] In the second oxidizing step, by employing a lamp annealing device, for example, in oxygen gas atmosphere, oxidization is carried out at a first determined heat treatment temperature (for example,  $900^\circ\text{C}$ ) for a first predetermined heat treatment time (for example, 5 minutes). The first predetermined heat treatment time is reduced remarkably as compared with a predetermined heat treatment time (1 hour) in the oxidizing step using the conventional rapid thermal oxidization technique. It is verified that the first predetermined heat treatment time is desirably set within 5 minutes from a measurement result of the electron emission characteristics of the manufactured electron source 10. However, a temperature rise velocity during a temperature rise period in which a substrate temperature is risen to the first predetermined heat treatment temperature is set to  $20^\circ\text{C} / \text{sec}$  or more, and desirably to  $150^\circ\text{C} / \text{sec}$  or more.

[0198] The nitriding processing consists of the nitriding step of nitriding each oxide film at a heat treatment time (that is, "second predetermined heat treatment time") capable of restricting an occurrence of the damage to each silicon nanocrystal 63 in accordance with the rapid heat nitriding technique. In this nitriding step, by employing a lamp annealing device, for example, in  $N_2O$  gas atmosphere, nitriding is carried out at a second predetermined heat treatment temperature (for example,  $900^\circ\text{C}$  for a second predetermined heat treatment time (for example, 5 minutes). It is verified that the second predetermined heat treatment time is desirably set within 5 minutes from a measurement result of electron emission characteristics of the manufactured electron source 10. However, the temperature rise temperature of the temperature rise period in which a substrate temperature is risen to the second specified heat treatment temperature is set to  $20^\circ\text{C} / \text{sec}$  or more, desirably to  $150^\circ\text{C} / \text{sec}$  or more. In Embodiment 8,  $N_2O$  gas is employed in the nitriding step, and thus, oxidization advances at the same time when each oxide film is nitride. As a result, the insulating films 52 and 64 each are provided as an oxi-nitride film (silicon oxi-nitride film). The gas employed in the nitriding step is not limited to  $N_2O$

gas, and a gas containing NO gas, NH<sub>3</sub> gas, or N<sub>2</sub> gas may be employed, for example.

[0199] With a manufacturing method according to Embodiment 8, an operation / advantageous effect similar to that of Embodiment 6 is obtained. That is, in the insulating film forming step, an oxide film with film thickness to an extent such that an electron tunneling phenomenon occurs on the surface of each silicon nanocrystal 63 in accordance with processing capable of restricting an occurrence of the damage to each silicon nanocrystal 63, and an oxide film is formed on the surface of each of the grains 51. Then, each oxide film is nitride in accordance with processing capable of restricting an occurrence of the damage to each silicon nanocrystal 63, thereby improving the film thickness. Thus, the stability with an elapse of time, of the electron emission characteristics, is improved as compared with a case in which the insulating films 52 and 64 each are formed within a comparatively long heat treatment time (for example, 1 hour) in accordance with the rapid thermal oxidation technique as in the prior art. Moreover, the heat treatment time at a high temperature caused by forming of the insulating films 52 and 64 each can be reduced. Thus, in the case where the lower electrode 12 is formed on the insulating substrate 11 such as glass substrate as in the conventional electron source 10" shown in Fig. 40, it becomes possible to employ a comparatively inexpensive non-alkali glass substrate or a low alkali glass substrate as a glass substrate, and cost reduction can be achieved. In addition, a defect in the insulating films 52 and 64 each can be reduced as compared with the manufacturing method according to Embodiment 7, and the electron emission characteristics can be improved. In addition, each silicon nanocrystal 63 is formed in accordance with wet type anode oxidation processing, thus making it possible to form an oxide film on the surface of each silicon nanocrystal 63 and each grain 51 in the first oxidizing step without exposing the oxide film to the air after the anodic oxidation processing. Thus, a natural oxide film can be prevented from being formed on the surface of each silicon nanocrystal 63 and grain 51. Therefore, it becomes possible to form a good quality oxide film on the surface of each silicon nanocrystal 63 and each grain 51 in the first oxidizing step.

(Embodiment 9)

[0200] Hereinafter, Embodiment 9 of the present invention will be described. A method of manufacturing an electron source according to Embodiment 9 is merely different from that according to Embodiment 6 in the insulating film forming step. Hereinafter, the insulating film forming step will be principally described. In Embodiment 9 as well, as in Embodiment 6, oxidation processing and annealing processing are carried out in the insulating film forming step.

[0201] The oxidation processing in Embodiment 9 consists of the oxidizing step of forming an oxide film on

the surface of each silicon nanocrystal 63 in accordance with an electrochemical method. In the oxidizing step, rinsing using ethanol is carried out after the end of the anodic processing step. Then, there is utilized an electrochemical method of applying a constant voltage between the lower electrode 12 and a cathode consisting of a platinum electrode by employing a processing vessel that contains a sulfuric acid water solution of a predetermined concentration (for example, 1 mol / l = 1 M). In this manner, an oxide film of film thickness to an extent such that an electron tunneling phenomenon occurs is formed on the surface of each grain 51 and each silicon nanocrystal 63. An electrolytic solution employed in the oxidizing step is not limited to a sulfuric acid water solution, and a nitric acid water or aqua regia may be employed, for example. Alternatively, an electrolytic solution obtained by dissolving a solute in an organic solvent may be employed.

[0202] Annealing processing consists of the annealing step of annealing each oxide film in N<sub>2</sub>O gas atmosphere. In the annealing step, for example, by employing a lamp annealing device (a general furnace is also available), in N<sub>2</sub>O gas atmosphere, annealing is carried out at a predetermined annealing temperature (for example, 450°C) for a predetermined annealing time (for example, 1 hour). The annealing temperature may be set to 700°C or less, and it is preferable that the temperature be set to 600°C or less. The annealing temperature is set to 700°C or less, whereby, in the case where the lower electrode 12 is formed on the insulating substrate 11 such as glass substrate as in the conventional electron source 10" shown in Fig. 40, an effect of the annealing step on the glass substrate can be eliminated.

[0203] With a method of manufacturing the electron source 10 according to Embodiment 9, an operation / advantageous effect similar to that of Embodiment 6 is basically obtained. That is, in the insulating film forming step, an oxide film with film thickness to an extent such that an electron tunneling phenomenon occurs is formed on the surface of each silicon nanocrystal 63 in accordance with processing capable of restricting an occurrence of the damage to each silicon nanocrystal 63, and an oxide film is formed on the surface of the grain 51. Then, defect compensation for each oxide film is carried out in accordance with processing capable of restricting an occurrence of the damage to each silicon nanocrystal 63, and the film quality is improved. Thus, the stability with an elapse of time, of the electron emission characteristics, is improved as compared with the case of forming the insulating films 52 and 64 each within a comparatively long heat treatment time (for example, 1 hour) in accordance with the rapid thermal oxidation technique as in the prior art. Moreover, a heat treatment time at a high temperature caused by forming the insulating films 52 and 64 each can be reduced. Thus, in the case where the lower electrode 12 is formed on the insulating substrate 11 such as glass substrate as in the conventional electron source 10" shown in Fig.

40, it becomes possible to employ a comparatively inexpensive non-alkali glass substrate or a low alkali glass substrate and the like as a glass substrate, and cost reduction can be achieved. In addition, a defect in the insulating films 52 and 64 each can be reduced as compared with the manufacturing method according to Embodiment 7, and the electron emission characteristics can be improved. In addition, each silicon nanocrystal 63 is formed in accordance with wet type anode oxidation processing, thus making it possible to form an oxide film on the surface of each silicon nanocrystal 63 and each grain 51 in the oxidizing step without exposing the oxide film after the anodic oxidation processing. Thus, a natural oxide film can be prevented from being formed on the surface of each silicon nanocrystal 63 and grain 51. Therefore, it becomes possible to form a good quality oxide film on the surface of each silicon nanocrystal 63 and each grain 51 in the oxidizing step.

(Embodiment 10)

**[0204]** Hereinafter, Embodiment 10 of the present invention will be described. A method of manufacturing an electron source according to Embodiment 10 is merely different from that according to Embodiment 6 in the insulating film forming step. Hereinafter, the insulating film forming step will be principally described. In Embodiment 10 as well, as in Embodiment 6, oxidation processing and nitriding processing are carried out in the insulating film forming step.

**[0205]** The oxidization processing in Embodiment 10 consists of the oxidizing step of forming an oxide film on the surface of each silicon nanocrystal 63 in accordance with an electrochemical method. In the first oxidizing step, rinsing using ethanol is carried out after the end of the anodic processing step. Then, there is utilized an electrochemical method of applying a constant voltage between the lower electrode 12 and a cathode consisting of a platinum electrode by employing a processing vessel that contains a sulfuric acid water solution of a predetermined concentration (for example, 1 mol / l = 1 M). In this manner, an oxide film of film thickness to an extent such that an electron tunneling phenomenon occurs is formed on the surface of each grain 51 and each silicon nanocrystal 63. An electrolytic solution employed in the first oxidizing step is not limited to a sulfuric acid water solution, and a nitric acid water or aqua regia may be employed, for example. Alternatively, an electrolytic solution obtained by dissolving a solute in an organic solvent may be employed.

**[0206]** In the annealing step, for example, by employing a lamp annealing device (a general furnace is also available), in N<sub>2</sub>O gas atmosphere, annealing is carried out at a predetermined annealing temperature (for example, 450°C) for a predetermined annealing time (for example, 1 hour). The annealing temperature may be set to 700°C or less, and it is preferable that the temperature be set to 600°C or less. The annealing temper-

ature is set to 700°C or less, whereby, in the case where the lower electrode 12 is formed on the insulating substrate 11 such as glass substrate as in the conventional electron source 10" shown in Fig. 40, an effect of the annealing step on the glass substrate can be eliminated.

**[0207]** The insulating film forming step in the manufacturing method according to Embodiment 10 includes: the second oxidizing step of further oxidizing each oxide film within a heat treatment time capable of restricting an occurrence of the damage to each silicon nanocrystal 63 in accordance with the rapid thermal oxidation technique after annealing processing; and the nitriding step of nitriding each oxide film within a heat treatment time capable of restricting an occurrence of the damage to each silicon nanocrystal 63 in accordance with the rapid thermal nitriding technique after the second oxidizing step.

**[0208]** In the second oxidizing step, by employing a lamp annealing device, for example, in oxygen gas atmosphere, oxidization is carried out at the first predetermined heat treatment temperature (for example, 900°C) by the first predetermined heat treatment time (for example, 5 minutes). That is, the first predetermined heat treatment time is remarkably reduced as compared with a predetermined heat treatment time in accordance with the oxidizing step using the conventional rapid heat oxidization technique. It is verified that the first predetermined heat treatment time is desirably set within 5 minutes from a measurement result of electron emission characteristics of the manufactured electron source 10. However, the temperature rise velocity of a temperature rise period in which a substrate temperature is risen to the first predetermined heat treatment temperature is set to 20°C / sec or more, and desirably to 150°C / sec or more.

**[0209]** The nitriding processing consists of the nitriding step of nitriding each oxide film at a heat treatment time (that is, "second predetermined heat treatment time") capable of restricting an occurrence of the damage to each silicon nanocrystal 63 in accordance with the rapid heat nitriding technique. In this nitriding step, by employing a lamp annealing device, for example, in N<sub>2</sub>O gas atmosphere, nitriding is carried out at the second predetermined heat treatment temperature (for example, 900°C for the second predetermined heat treatment time (for example, 5 minutes). It is verified that the second predetermined heat treatment time is desirably set within 5 minutes from a measurement result of electron emission characteristics of the manufactured electron source 10. However, the temperature rise velocity of the temperature rise period in which a substrate temperature is risen to the second specified heat treatment temperature is set to 20°C / sec or more, desirably to 150°C / sec or more. In Embodiment 10, N<sub>2</sub>O gas is employed in the nitriding step, and thus, oxidization advances at the same time when each oxide film is nitride. As a result, the insulating films 52 and 64 each are provided as an oxi-nitride film (silicon oxi-nitride film). The

gas employed in the nitriding step is not limited to  $N_2O$  gas, and a gas containing NO gas,  $NH_3$  gas, or  $N_2$  gas may be employed, for example.

**[0210]** With a method of manufacturing according to Embodiment 10, an operation / advantageous effect similar to that of Embodiment 6 is basically obtained. That is, in the insulating film forming step, an oxide film with film thickness to an extent such that an electron tunneling phenomenon occurs is formed on the surface of each silicon nanocrystal 63 in accordance with processing capable of restricting an occurrence of the damage to each silicon nanocrystal 63, and an oxide film is formed on the surface of the grain 51. Then, each oxide film is nitrided in accordance with processing capable of restricting an occurrence of the damage to each silicon nanocrystal 63, and the film quality is improved. Thus, the stability with an elapse of time, of the electron emission characteristics, is improved as compared with the case of forming the insulating films 52 and 64 each within a comparatively long heat treatment time (for example, 1 hour) in accordance with the rapid thermal oxidation technique as in the prior art. Moreover, the heat treatment time at a high temperature caused by forming the insulating films 52 and 64 each can be reduced. Thus, in the case where the lower electrode 12 is formed on the insulating substrate 11 such as glass substrate as in the conventional electron source 10" shown in Fig. 40, it becomes possible to employ a comparatively inexpensive non-alkali glass substrate or a low alkali glass substrate and the like as a glass substrate, and cost reduction can be achieved. In addition, a defect in the insulating films 52 and 64 each can be reduced as compared with the manufacturing method according to Embodiment 7, and the electron emission characteristics can be improved. In addition, each silicon nanocrystal 63 is formed in accordance with wet type anodic oxidation processing, thus making it possible to form an oxide film on the surface of each silicon nanocrystal 63 and each grain 51 in the first oxidizing step without exposing the oxide film after the anodic oxidation processing. Thus, a natural oxide film can be prevented from being formed on the surface of each silicon nanocrystal 63 and grain 51. Therefore, it becomes possible to form a good quality oxide film on the surface of each silicon nanocrystal 63 and each grain 51 in the first oxidizing step.

**[0211]** Fig. 34 and Fig. 35 each show a result obtained by measuring: electron emission characteristics of the electron source 10 manufactured in accordance with the manufacturing method according to Embodiment 10; and a change with an elapse of time, of the electron emission characteristics.

**[0212]** Measurement of the electron emission characteristics of the electron source 10 were carried out as follows. That is, the electron source 10 were introduced into a vacuum chamber (not shown). Then, as shown in Fig. 38, the collector electrode 21 was disposed in opposite to the surface electrode 7. Further, a direct cur-

rent voltage  $V_{ps}$  was applied with the surface electrode 7 being high in potential relevant to the lower electrode 12, and the direct current voltage  $V_c$  was applied with the collector electrode 21 being high in potential relevant to the surface electrode 7.

**[0213]** Fig. 34 shows a measurement result of electron emission characteristics when the direct current voltage  $V_c$  is constant at 100 V, and the degree of vacuum in the vacuum chamber is set to  $5 \times 10^{-5}$  Pa. In Fig. 34, the horizontal axis indicates the direct current voltage  $V_{ps}$ , and the vertical axis indicates the current density. "P" indicates the current density of the diode current  $I_{ps}$ , and "Q" indicates the current density of the emission current  $I_e$ .

**[0214]** Fig. 35 shows a measurement result of a change with an elapse of time, of electron emission characteristics when the direct current voltage  $V_c$  is constant at 100 V, and the direct current voltage  $V_{ps}$  is constant at 15V, and the degree of vacuum in the vacuum chamber is set to  $5 \times 10^{-5}$  Pa. In Fig. 35, the horizontal axis indicates an elapse of time from the start of driving, the vertical axis on the left side indicates the current density, and the vertical axis on the right side indicates the electron emission efficiency. "P" indicates the current density of the diode current  $I_{ps}$ , "Q" indicates the current density of the emission current  $I_e$ , and "R" indicates the electron emission efficiency.

**[0215]** Referring Fig. 34 and Fig. 35 and Fig. 28 to Fig. 31 each showing a measurement result concerning Comparative Examples 1 and 2 each described in Embodiment 6, in the electron source 10 according to Embodiment 10, the stability with an elapse of time, of the electron emission characteristics, is improved as compared with the electron sources according to Comparative Examples 1 and 2.

(Embodiment 11)

**[0216]** Hereinafter, Embodiment 11 of the present invention will be described. A method of manufacturing an electron source according to Embodiment 11 is merely different from that according to Embodiment 6 in the insulating film forming step. Hereinafter, the insulating film forming step will be principally described. In Embodiment 11 as well, as in Embodiment 6, oxidation processing and nitriding processing are carried out in the insulating film forming step.

**[0217]** The oxidation processing in Embodiment 11 consists of the first oxidizing step of forming an oxide film on the surface of each silicon nanocrystal 63 in accordance with an electrochemical method. In the first oxidizing step, rinsing using ethanol is carried out after the end of the anodic processing step. Then, there is utilized an electrochemical method of applying a constant voltage between the lower electrode 12 and a cathode consisting of a platinum electrode by employing a processing vessel that contains a sulfuric acid water solution of a predetermined concentration (for example, 1 mol/l =



1 M). In this manner, an oxide film of film thickness to an extent such that an electron tunneling phenomenon occurs is formed on the surface of each grain 51 and each silicon nanocrystal 63. An electrolytic solution employed in the first oxidizing step is not limited to a sulfuric acid water solution, and a nitric acid water or aqua regia may be employed, for example. Alternatively, an electrolytic solution obtained by dissolving a solute in an organic solvent may be employed.

[0218] Nitriding processing includes the annealing step of annealing each oxide film in  $N_2O$  gas atmosphere, and nitriding step of nitriding each oxide film at a heat treatment time capable of restricting an occurrence of the damage to each silicon nanocrystal 63 in accordance with the rapid heat nitriding technique after the annealing step.

[0219] In the annealing step, for example, by employing a lamp annealing device (a general furnace is also available), in  $N_2O$  gas atmosphere, annealing is carried out at a predetermined annealing temperature (for example,  $450^\circ C$ ) for a predetermined annealing time (for example, 1 hour). The annealing temperature may be set to  $700^\circ C$  or less, and it is preferable that the temperature is set to  $600^\circ C$  or less. The annealing temperature is set to  $700^\circ C$  or less, whereby, in the case where the lower electrode 12 is formed on the insulating substrate 11 such as glass substrate as in the conventional electron source 10" shown in Fig. 40, an effect of the annealing step on the glass substrate can be eliminated.

[0220] In the nitriding step, by employing a lamp annealing device, for example, in  $N_2O$  gas atmosphere, nitriding is carried out at the second predetermined heat treatment temperature (for example,  $900^\circ C$ ) for the second predetermined heat treatment time (for example, 5 minutes). It is verified that the second predetermined heat treatment time be desirably set within 5 minutes from a measurement result of electron emission characteristics of the manufactured electron source 10. However, the temperature rise velocity of a temperature rise period in which the substrate temperature is risen to the second predetermined heat treatment temperature is set to  $20^\circ C / \text{sec}$  or more, desirably  $150^\circ C / \text{sec}$  or more. In Embodiment 11,  $N_2O$  gas is employed in the nitriding step, and thus, oxidization advances at the same time when each oxide film is nitride. As a result, the insulating films 52 and 64 each are provided as oxinitride films (silicon oxi-nitride films). The gas employed in the nitriding step is not limited to  $N_2O$  gas, and a gas containing nitrogen such as NO gas,  $NH_3$  gas, or  $N_2$  gas, for example, may be employed.

[0221] With a method of manufacturing the electron source 10 according to Embodiment 11, an operation / advantageous effect similar to that of Embodiment 6 is obtained. That is, in the insulating film forming step, an oxide film with film thickness to an extent such that an electron tunneling phenomenon occurs on the surface of each silicon nanocrystal 63 in accordance with processing capable of restricting an occurrence of the

damage to each silicon nanocrystal 63, and an oxide film is formed on each of the surface of the grains 51. Then, each oxide film is nitride in accordance with processing capable of restricting an occurrence of the damage to each silicon nanocrystal 63, thereby improving the film quality. Thus, the stability with an elapse of time, of the electron emission characteristics, is improved as compared with the case in which the insulating films 52 and 64 each are formed within a comparatively long heat treatment time (for example, 1 hour) in accordance with the rapid thermal oxidization technique as in the prior art. Moreover, the heat treatment time at a high temperature caused by forming of the insulating films 52 and 64 each can be reduced. Thus, in the case where the lower electrode 12 is formed on the insulating substrate 11 such as glass substrate as in the conventional electron source 10" shown in Fig. 40, it becomes possible to employ a comparatively inexpensive non-alkali glass substrate or a low alkali glass substrate as a glass substrate, and cost reduction can be achieved. In addition, a defect in the insulating films 52 and 64 each can be reduced as compared with the manufacturing method according to Embodiment 7, and the electron emission characteristics can be improved. In addition, each silicon nanocrystal 63 is formed in accordance with wet type anodic oxidization processing, thus making it possible to form an oxide film on the surface of each silicon nanocrystal 63 and each grain 51 in the first oxidizing step without exposing the oxide film to the air after the anode oxidization processing. Thus, a natural oxide film can be prevented from being formed on the surface of each silicon nanocrystal 63 and grain 51. Therefore, it becomes possible to form a good quality oxide film on the surface of each silicon nanocrystal 63 and each grain 51 in the first oxidizing step.

(Embodiment 12)

[0222] Hereinafter, Embodiment 12 of the present invention will be described. A method of manufacturing an electron source according to Embodiment 12 is merely different from that according to Embodiment 6 in the insulating form forming step. Hereinafter, the insulating film forming step will be primarily described.

[0223] In the insulating form forming step according to Embodiment 12, insulating films 52 and 64 each are formed by repeating the basic step that consists of: oxidization processing within a heat treatment time capable of restricting an occurrence of the damage to each silicon nanocrystal (semiconductor nanocrystal) 63 in accordance with a rapid thermal oxidization technique; and nitriding processing within a heat treatment time capable of restricting an occurrence of the damage to each silicon nanocrystal (semiconductor nanocrystal) 63 in accordance with a rapid thermal nitriding technique after oxidization processing a plurality of times. In the oxidization processing, the surface side of each of the silicon nanocrystals 63 is oxidized, and a film quality is im-

proved in nitriding processing.

**[0224]** In the oxidization processing, by employing a lamp annealing device, for example, in oxygen gas atmosphere, oxidization is carried out at the first predetermined heat treatment temperature (for example, 900°C) for the first predetermined heat treatment time (for example, 5 minutes). The first predetermined heat treatment time is remarkably reduced as compared with a predetermined heat treatment time (1 hour) in the oxidization step in accordance with the conventional rapid thermal oxidization technique. However, a temperature rise velocity of a temperature rise period in which a substrate temperature is risen to the first predetermined heat treatment temperature is set to 20°C / sec or more, and desirably to 150°C / sec or more.

**[0225]** The nitriding processing nitrifies each oxide film within a heat treatment time capable of restricting an occurrence of the damage to each silicon nanocrystal 63 in accordance with a rapid nitriding technique (that is, a second predetermined heat treatment time). In this nitriding processing, by employing a lamp annealing device, for example, in N<sub>2</sub>O gas atmosphere, nitriding is carried out at the second predetermined heat treatment temperature (for example, 900°C) for the second predetermined heat treatment time (for example, 5 minutes). However, a temperature rise velocity of a temperature rise period in which a substrate temperature is risen to a second predetermined heat treatment temperature is set to 20°C / sec or more, desirably 150°C / sec or more. In Embodiment 12, in the nitriding processing, N<sub>2</sub>O gas is employed, and thus, oxidization advances at the same time when each oxide film is nitrified. As a result, the insulating films 52 and 64 each is to be an oxo-nitride film (silicon oxo-nitride film). The gas employed during nitriding processing is not limited to N<sub>2</sub>O gas, and a gas containing nitrogen such as NO gas, NH<sub>3</sub> gas, or N<sub>2</sub> gas.

**[0226]** With a method of manufacturing the electron source 10 according to Embodiment 12, an operation / advantageous effect similar to that of Embodiment 6 is basically obtained. That is, the stability with an elapse of time, of the electron emission characteristics is improved as compared with the case where the insulating films 52 and 64 each are formed within a comparatively long heat treatment time (for example, 1 hour) in accordance with the rapid thermal oxidization technique, as in the prior art. Moreover, the heat treatment time at a high temperature caused by forming the insulating layers 52 and 64 each can be reduced. Thus, in the case where the lower electrode 12 is formed on an insulating substrate 11 such as glass substrate, as in the conventional electron source 10" shown in Fig. 40, it is possible to employ a non-alkali glass substrate or low alkali glass substrate and the like as a glass substrate, and cost reduction can be achieved. In addition, a defect in the insulating films 52 and 64 each can be reduced, and electron emission characteristics can be improved, as compared with the manufacturing method according to Em-

bodiment 7.

(Embodiment 13)

5 **[0227]** Hereinafter, Embodiment 13 of the present invention will be described.

**[0228]** As shown in Fig. 36F, in Embodiment 13, as an electrically conductive substrate, there is employed a substrate on which an electrically conductive layer (such as metal film or ITO film such as chrome film) 12 is provided on one surface of the insulating substrate 11 consisting of a glass substrate. In the case where a substrate having an electrically conductive layer 12 formed thereon is thus employed on one surface side of the insulating substrate 11, a large area of the electron source and cost reduction can be achieved as compared with the case of employing a semiconductor substrate as an electrically conductive substrate.

**[0229]** A basic configuration of an electron source 10 according to Embodiment 13 is substantially identical to a conventional electron source 10" shown in Fig. 40. That is, a non-doped polycrystalline silicon layer 3 that is a polycrystalline semiconductor layer is formed on the electrically conductive layer 12 on the insulating substrate 11. A drift layer 6 consisting of an oxide porous polycrystalline silicon layer is formed on the polycrystalline silicon layer 3. A surface electrode 7 is formed on the drift layer 6. A material with its small work function (for example, gold) is employed on the surface electrode 7. The film thickness of the surface electrode 7 is set to about 3 nm to 15 nm. A structure of the drift layer 6 will be described later. In the electron source 10 shown in Fig. 36F, a part of the polycrystalline silicon layer 3 is interposed between the electrically conductive layer 12 and the drift layer 6. However, the drift layer 6 may be formed on the electrically conductive layer 12 without having the polycrystalline silicon layer 3 interposed.

**[0230]** A process for emitting an electron from the electron source 10 is similar to the conventional electron source 10" shown in Fig. 40. That is, by setting the collector electrode 21 facing to the surface electrode 7 (refer to Fig. 40) a vacuum state is established between the surface electrode 7 and the electrode collector 21. Then, the direct current voltage Vps is applied between the surface electrode 7 and the electrically conductive layer 12 so that the surface electrode 7 becomes high in potential (positive in polarity) relevant to the electrically conductive layer 12. Further, the direct current voltage Vc is applied between the collector electrode 21 and the surface electrode 7 so that the collector electrode 21 becomes high in potential relevant to the surface electrode 7. The direct current voltages Vps and Vc each are set properly, whereby the electrons injected from the electrically conductive layer 12 drift in the drift layer 6, and are emitted via the surface electrode 7.

**[0231]** Hereinafter, a method of manufacturing the electron source 10 according to Embodiment 13 will be described with reference to Fig. 36A to Fig. 36F.



[0232] First, on one surface side of the insulating substrate 11, an electrically conductive layer 12 is provided in accordance with a sputtering technique, whereby an electrically conductive substrate is formed, and a structure shown in Fig. 36A is obtained. Then, on a main surface side of the electrically conductive substrate (on the electrically conductive layer 12), a polycrystalline silicon layer 3 is formed which is a semiconductor layer of the predetermined film thickness (for example, 1.5  $\mu\text{m}$ ), and a structure shown in Fig. 36B is obtained. As a method of film forming the polycrystalline silicon layer 3, for example, there may be employed a CVD technique (such as LPCVD technique, plasma CVD technique, or catalytic CVD technique), a sputtering technique, or a CGS (Continuous Grain Silicon) technique. By setting the film forming temperature to 600°C or less, as the insulating substrate 11, for example, a comparatively inexpensive glass substrate such as non-alkali glass substrate, low alkali glass substrate, or soda lime glass substrate can be employed, and cost reduction can be achieved.

[0233] Next, a mask material (not shown) for forming a porous polycrystalline silicon layer 4 described later in only a predetermined region is provided on a polycrystalline silicon layer 3. Then, by employing an anodic oxidization processing vessel that contains an electrolytic solution consisting of a mixture solution obtained by mixing substantially 1 : 1 between 55 wt.% of hydrogen fluoride water solution and ethanol, with a platinum electrode (not shown) being negative in polarity and an electrically conductive layer 12 being positive in polarity, while light emission is carried out for the polycrystalline silicon layer 3, the anodic oxidization processing is carried out under a predetermined condition. In this manner, the porous polycrystalline silicon layer 4 is formed. Then, a mask material is removed, and a structure shown in Fig. 36C is obtained. During anodic oxidization processing of Embodiment 13, the anodic oxidization processing period, power of light to be emitted on the surface of the polycrystalline silicon layer 3, and the current density are made uniform. However, this processing condition may be changed as required (for example, a current density may be changed).

[0234] After the anodic oxidization processing has terminated, the porous polycrystalline silicon layer 4 is electrochemically oxidized in 1 M of sulfuric acid ( $\text{H}_2\text{SO}_4$ ) water solution, thereby forming the drift layer 6', and a structure shown in Fig. 36D is obtained. The water solution and concentration employed for electrochemical oxidization is not limited in particular, and a nitric acid water solution or the like may be employed, for example.

[0235] After the drift layer 6' has been formed, hydrogen radicals are emitted onto the top surface on one surface side of an electrically conductive substrate (here, surface of the drift layer 6'), whereby a defect existing in the drift layer 6' is made passive, and a structure shown in Fig. 36E is obtained. 6 in Fig. 36E indicates a drift layer after hydrogen radical emission. In the hydro-

gen radical emission step of emitting a hydrogen radical onto the surface of the drift layer 6', the hydrogen radical in hydrogen plasma is emitted onto the top surface on one surface side of the electrically conductive substrate.

Thus, a process temperature of the hydrogen radical emission step can be lowered (a process temperature of 600°C or less can be obtained). In addition, a larger area for the electron source 10 can be easily achieved. In addition, by applying high frequency or microwave to hydrogen gas so as to be plasmatic, a general semiconductor manufacturing device capable of generating hydrogen plasma can be used, and cost reduction can be achieved.

[0236] After the hydrogen plasma emission step has terminated, a surface electrode 7 consisting of an electrically conductive thin film (for example, gold thin film) is formed on the drift layer 6 in accordance with a vapor deposition technique, for example, and an electron source 10 with its structure shown in Fig. 36F is obtained. The method of forming the surface electrode 7 is not limited to the vapor deposition technique, and the sputtering method may be employed, for example.

[0237] The drift layer 6 of the electron source 10 manufactured in accordance with the above-described manufacturing method is believed to be composed of: at least, columnar polycrystalline silicon grains 51; thin silicon oxide films 52; silicon nanocrystals 63 of nanometer order; and silicon oxide films 64. However, in the electron source 10 according to Embodiment 13, the hydrogen radicals are emitted on the surface of the drift layer 6' formed by oxidizing the porous polycrystalline silicon layer 4, thereby forming the drift layer 6. Thus, a defect existing in the drift layer 6' (for example, defect on the surface of silicon oxide films 52 and 64 or silicon nanocrystal 63) can be made passive or can be reduced. In this manner, the electron source 10 with improved electron emission characteristics and reliability can be obtained. In the electron source 10 manufactured in accordance with the above-described manufacturing method, as in the conventional electron source 10' shown in Fig. 38, the dependency of the degree of vacuum in electron emission characteristics is small, a popping phenomenon does not occur during electron emission, and electrons can be constantly emitted.

[0238] In the method of manufacturing the above-described electron source 10, after the porous polycrystalline silicon layer 4 is oxidized to form the drift layer 6', thereby hydrogen plasma emission processing is carried out. However, the hydrogen plasma emission step may be carried out before the anodic oxidization processing. Alternatively, the hydrogen plasma emission step may be carried out after the anodic oxidization processing. In addition, in annealing processing in hydrogen gas as well, as in the above-described hydrogen radical emission, a defect existing in the drift layer 6' (for example, defect on the surface of the silicon oxide films 52 and 64 or silicon nanocrystal 63) can be made passive or can be reduced. The annealing temperature may

be set to 700°C or less, and it is preferable that the temperature be set to 600°C or less. In addition, even if hydrogen gas is 100%, it may be a mixture gas with another gas.

**[0239]** In the method of manufacturing the above-described electron source 10, after the porous polycrystalline silicon layer 4 is oxidized to form the drift layer 6', the hydrogen plasma emission step is carried out. However, the hydrogen plasma emission step may be carried out before anodic oxidization processing. Alternatively, the hydrogen plasma emission step may be carried out after the anode oxidization processing.

**[0240]** In addition, in the method of manufacturing the above-described electron source 10, the hydrogen radical in the hydrogen plasma is emitted onto the top surface on one surface of the electrically conductive substrate in the hydrogen plasma emission step.

**[0241]** However, as shown in Fig. 37, the hydrogen radical generated by utilizing catalytic decomposition reaction with a catalytic body 42 that consists of hydrogen gas and tungsten based wire may be emitted onto the top surface on one surface of the electrically conductive substrate (surface of the drift layer 6' in a example shown in Fig. 37). In this case, the catalytic body 42 is heated at a proper temperature by supplying a current from a current source (not shown). The electrically conductive substrate is installed on a substrate holder 41, and the substrate holder 41 is heated at 100°C to 700°C by a heater (not shown) as required. However, in the case where, as an electrically conductive substrate, there is employed a substrate on which the electrically conductive layer 12 is formed on one surface of the insulating substrate 11 that consists of a glass substrate, it is required to set a temperature of the substrate holder 41 so that the temperature of the insulating substrate 11 does not reach a heat resistance temperature of the insulating substrate 11.

**[0242]** In the meantime, in the hydrogen radical emission step, in the case where the hydrogen radical in hydrogen plasma is emitted onto the top surface on one surface of the electrically conductive substrate, the drift layer 6 may be damaged to the plasma as a result of the emission. However, in the hydrogen radical emission step, the hydrogen radical generated by decomposition utilizing the hydrogen gas catalytic body 42 is emitted onto the top surface on one surface side of the electrically conductive substrate, thereby making it possible to prevent the damage due to the hydrogen radical emission step from being generated on the drift layer 6. Therefore, the electron source 10 with its improved electron emission characteristics and reliability can be obtained as compared with the case of emitting the hydrogen radical in hydrogen plasma. In the hydrogen radical emission step, the hydrogen radical generated by thermal decomposition or optical decomposition of hydrogen gas may be emitted onto one surface side of the electrically conductive substrate. In this case as well, the electron source 10 with its improved electron emis-

sion characteristics and reliability can be obtained as compared with the case of emitting the hydrogen radical in hydrogen plasma.

**[0243]** In Embodiment 13, as an electrically conductive substrate, there is employed a substrate on which the electrically conductive layer 12 is formed on one surface of the insulating substrate 11 consisting of a glass substrate. However, a metal substrate made of chrome may be employed as an electrically conductive substrate. Alternatively, there may be employed a semiconductor substrate (such as n-type silicon substrate whose resistivity is comparatively close to that of a conductor or p-type silicon substrate on which n-type region is formed as an electrically conductive layer on one surface). A ceramic substrate or the like can be employed as an insulating substrate 11 as well as glass substrate.

**[0244]** In Embodiment 13, gold is employed as a material for the surface electrode 7. However, the material for the surface electrode 7 is not limited to gold, and aluminum, chrome, tungsten, or platinum and the like may be employed, for example. In addition, the surface electrode 7 may be composed of at least two-layered thin film layer deposited in the thickness direction. In the case where the surface electrode 7 is composed of a two-layered thin film layer, gold may be employed as an upper thin film layer, for example, and chrome, nickel, platinum, titanium, or indium and the like may be employed as a material for a lower thin film layer (thin film layer on the drift layer 6 side).

**[0245]** In Embodiment 13, the drift layer 6 is composed of the oxidized porous polycrystalline silicon layer. However, the drift layer 6 may be composed of the nitride porous polycrystalline silicon layer or oxinitride porous polycrystalline silicon layer. Alternatively, this layer may be composed of the other oxide, nitride or oxinitride porous semiconductor layer. In the case where the drift layer 6 is provided as a porous polycrystalline silicon layer, the nitriding step may be employed instead of the step of oxidizing the porous polycrystalline silicon layer 4. In this case, both of the silicon oxide films 52 and 64 are provided as silicon nitride films. In the case where the drift layer 6 is provided as the oxinitride porous polycrystalline silicon layer, the oxidizing-nitriding step may be employed instead of the step of oxidizing the porous polycrystalline silicon layer 4. In this case, both of the silicon oxide films 52 and 64 are provided as the silicon oxinitride films.

**[0246]** In the foregoing, although the present invention has been described in connection with its specific embodiments, it would be obvious to one skilled in the art that a number of modifications and alternations can occur. Therefore, the present invention is not limited to such embodiments, and should be limited by the accompanying claims.

#### Industrial Applicability

**[0247]** As has been described above, a field emis-

sion-type electron source and a manufacturing method thereof according to the present invention are particularly effective to improve electron emission efficiency and reliability, and is suitably employed as an electron source such as planar light source, flat display element, or solid vacuum device.

## Claims

### 1. A field emission-type electron source comprising:

an electrically conductive substrate;  
a strong field drift layer formed on said electrically conductive substrate; and  
a surface electrode formed on said strong field drift layer, in which  
said strong field drift layer has a number of semiconductor nanocrystals of nano-meter order formed partly in a semiconductor layer configuring said strong field drift layer, and a number of insulating films, each of which is formed on a surface of each of said semiconductor nanocrystals and has a thickness smaller than a crystalline particle size of each of said semiconductor nanocrystals, wherein  
a voltage is applied between said surface electrode and said electrically conductive substrate so that said surface electrode becomes higher in potential, whereby electrons injected from said electrically conductive substrate into said strong field drift layer drift in said strong field drift layer, and is emitted through said surface electrode, said field-emission-type electron source being **characterized in that**  
each of said insulating films formed on each of the surface of each of said semiconductor nanocrystals has such a thickness that an electron tunneling phenomenon occurs.

2. The field emission-type electron source according to claim 1, **characterized in that** water content of said insulating film formed on the surface of each of said semiconductor nanocrystals is substantially zero.

3. The field emission-type electron source according to claim 1, **characterized in that** a compound layer or an alloy layer composed of a semiconductor and a metal is interposed at an interface between said semiconductor layer configuring said strong field drift layer and said electrically conductive substrate.

4. The field emission-type electron source according to claim 1, **characterized in that** said semiconductor layer is almost crystallized at the interface between said semiconductor layer configuring said strong field drift layer and said electrically conduc-

tive substrate.

### 5. A method of manufacturing a field emission type electron source having:

an electrically conductive substrate;  
a strong field drift layer formed on said electrically conductive substrate; and  
a surface electrode formed on said strong field drift layer, in which  
said strong field drift layer has a number of semiconductor nanocrystals of nano-meter order formed partly in a semiconductor layer configuring said strong field drift layer, and a number of insulating films, each of which is formed on a surface of each of said semiconductor nanocrystals and has such a thickness that an electron tunneling phenomenon occurs, wherein  
a voltage is applied between said surface electrode and said electrically conductive substrate so that said surface electrode becomes higher in potential, whereby electrons injected from said electrically conductive substrate into said strong field drift layer drift in said strong field drift layer and is emitted through said surface electrode, said method being

#### characterized in that

each of said insulating films is formed on the surface of each of said semiconductor nanocrystals by means of any one of an electrochemical process, a rapid thermal oxidization process, a rapid thermal nitriding process, and a rapid thermal oxidization and nitriding process, or alternatively, a combination of those processes.

6. The method of manufacturing the field emission-type electron source according to claim 5, **characterized in that** annealing processing at a temperature of 700°C or less is carried out in a vacuum, in an inert gas, in a foaming gas, or in a nitride gas after said insulating films have been formed on the surfaces of said semiconductor nanocrystals.

7. The method of manufacturing the field emission-type electron source according to claim 5, **characterized in that** a heat treatment by means of a rapid heating process at a temperature of 600°C or more is carried out in an atmosphere containing an oxide species or a nitride species after said insulating films have been formed on the surfaces of said semiconductor nanocrystals.

8. The method of manufacturing the field emission-type electron source according to claim 5, **characterized in that** annealing processing by means of a rapid heating process at the temperature of 600°C or more is carried out in an inert gas atmosphere

after said insulating films have been formed on the surfaces of said semiconductor nanocrystals.

9. The method of manufacturing the field emission-type electron source according to claim 5, **characterized in that** annealing processing is carried out in a vacuum or in an inert gas after said semiconductor nanocrystals have been formed. 5
10. The method of manufacturing the field emission-type electron source according to claim 5, **characterized in that** annealing processing is carried out in a vacuum or in an inert gas after said semiconductor layer has been formed on said electrically conductive substrate. 10 15
11. The method of manufacturing the field emission type electron source according to claim 5, **characterized in that** after said insulating films have been formed on the surfaces of said semiconductor nanocrystals, there are carried out one or more than once at least two processes of: 20  
  
a first processing step of carrying out at least one of annealing processing at a temperature of 700°C or less and annealing processing by means of gas species capable of defect compensation in a vacuum, in an inert gas or in a foaming gas; 25  
a second processing step of carrying out a heat treatment by means of a rapid heating process at a temperature of 600°C or more in an atmosphere containing an oxide species or a nitride species; and 30  
a third processing step of carrying out annealing processing by means of a rapid heating process at a temperature of 600°C or more in an inert gas atmosphere. 35
12. The method of manufacturing the field emission type electron source according to claim 5, **characterized in that** annealing processing in hydrogen, hydrogen radical emission processing, or hydrogen radical emission annealing processing is carried out during at least one of a period after forming said semiconductor layer, a period after forming said semiconductor nanocrystals, and a period after forming said insulating films on the surfaces of said semiconductor nanocrystals. 40 45 50

55

Fig. 1

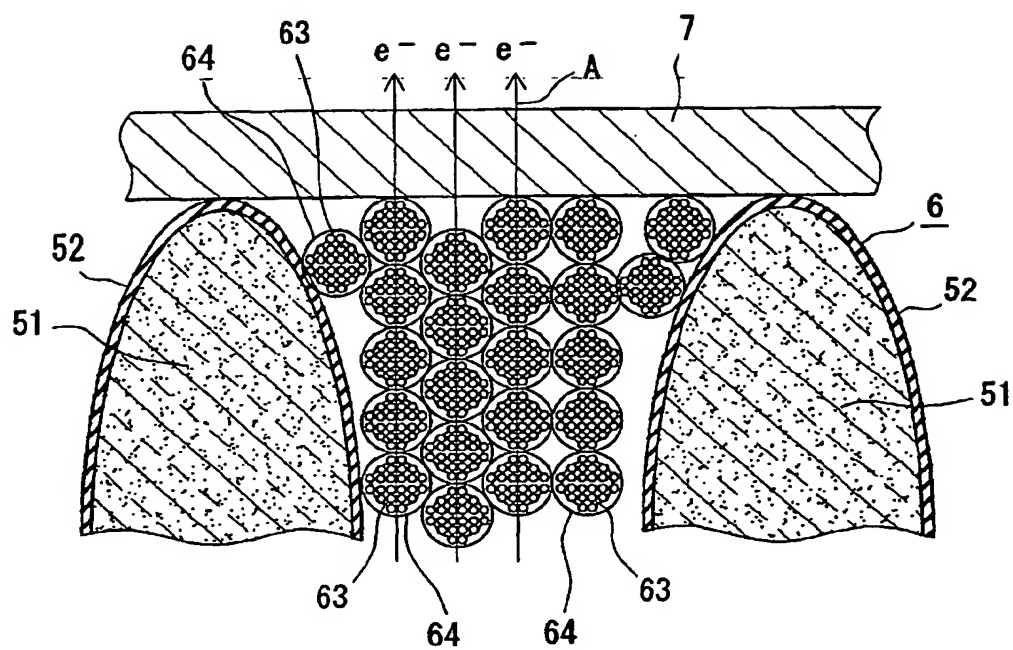
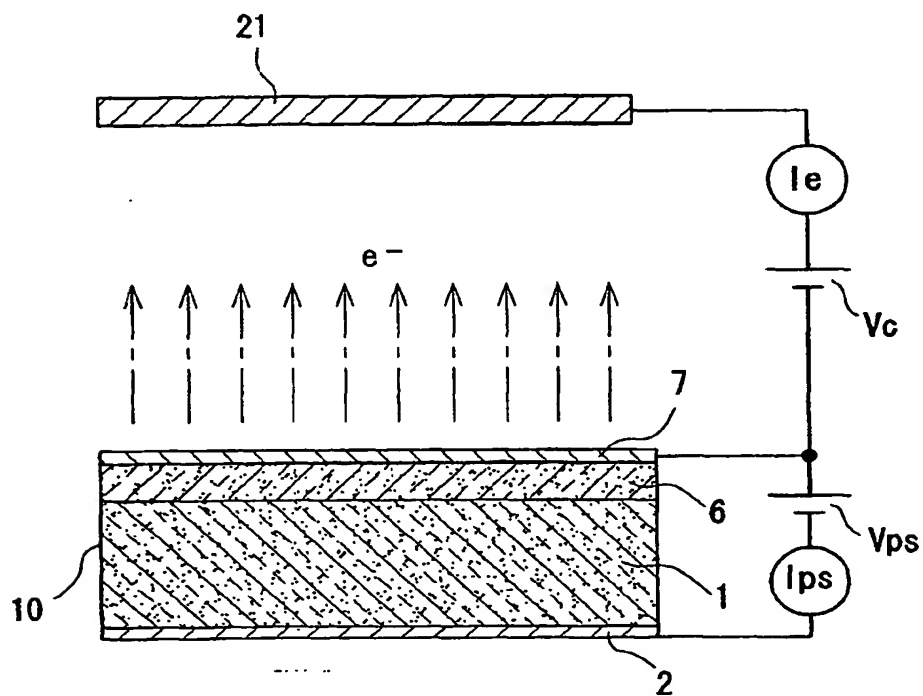
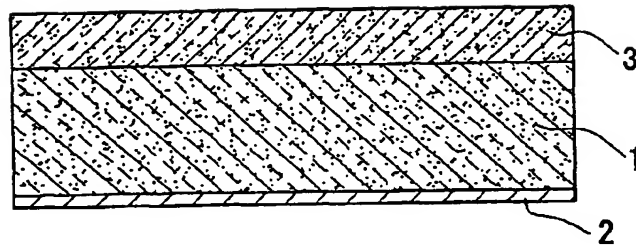


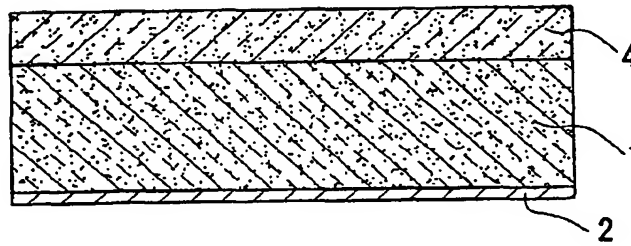
Fig. 2



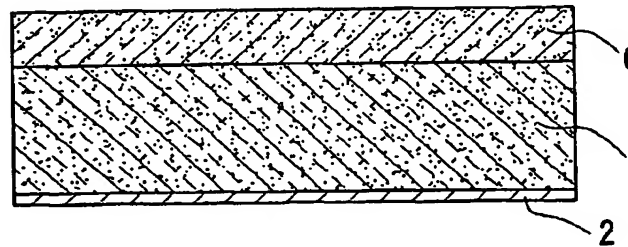
*Fig. 3A*



*Fig. 3B*



*Fig. 3C*



*Fig. 3D*

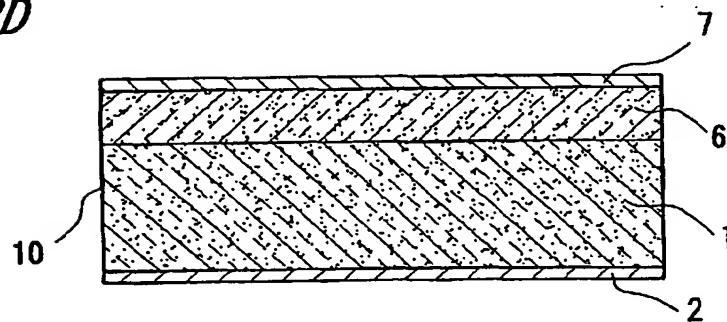


Fig. 4

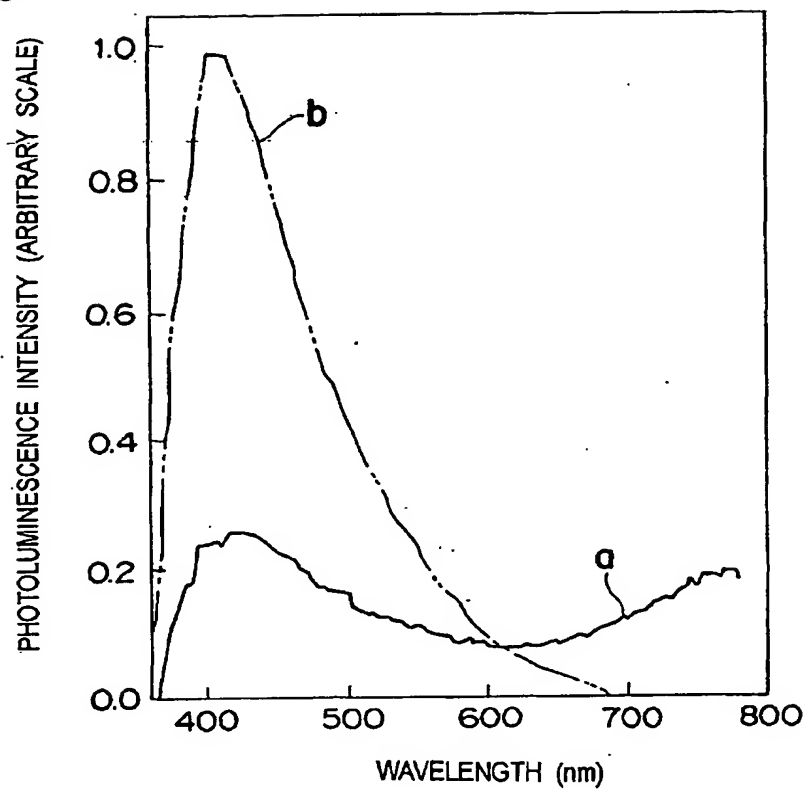
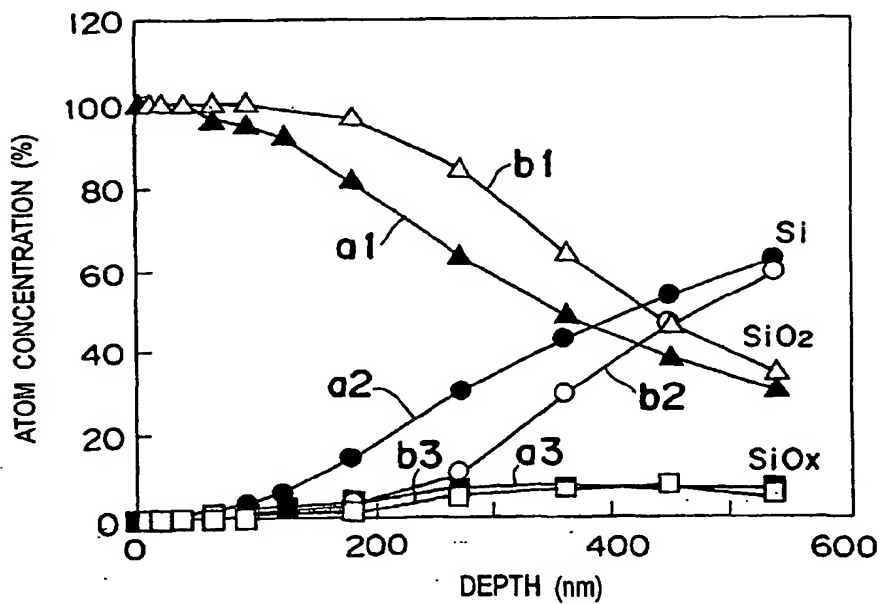
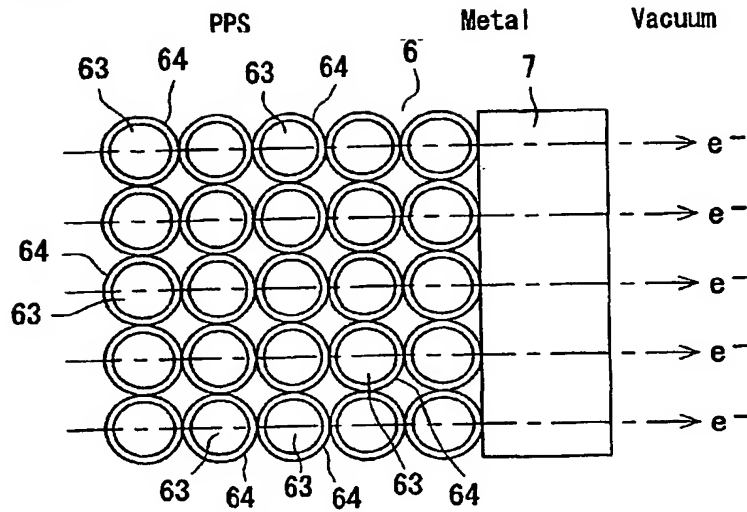


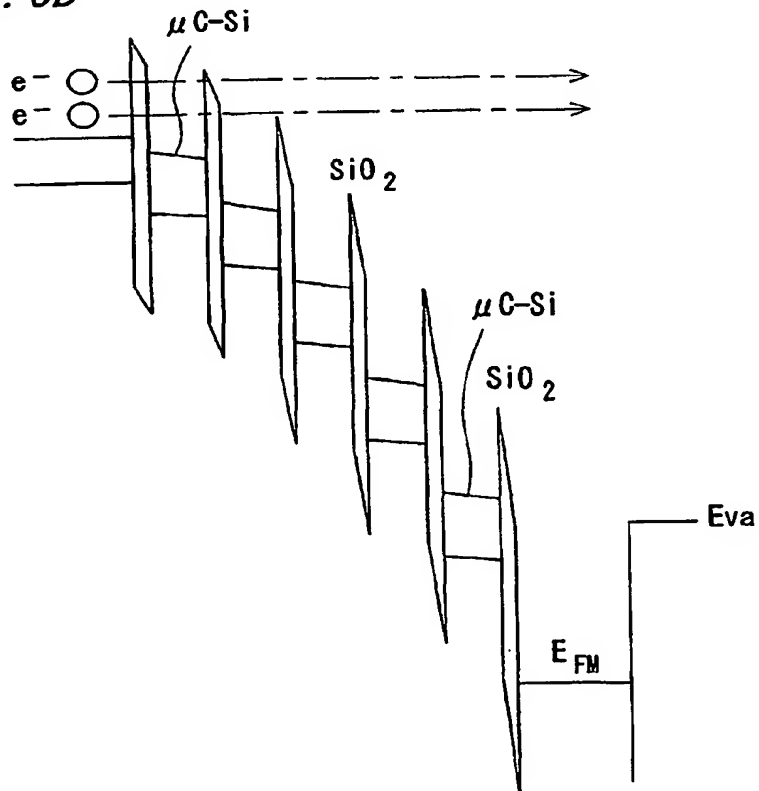
Fig. 5



**Fig. 6A**

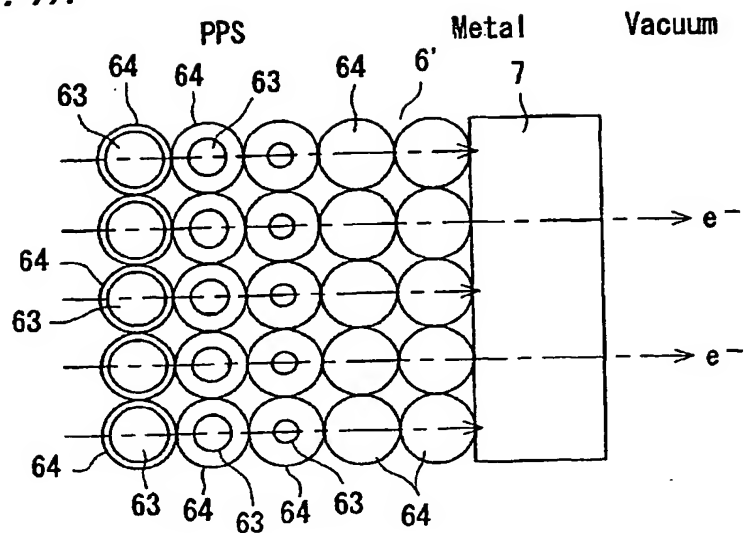


*Fig. 6B*

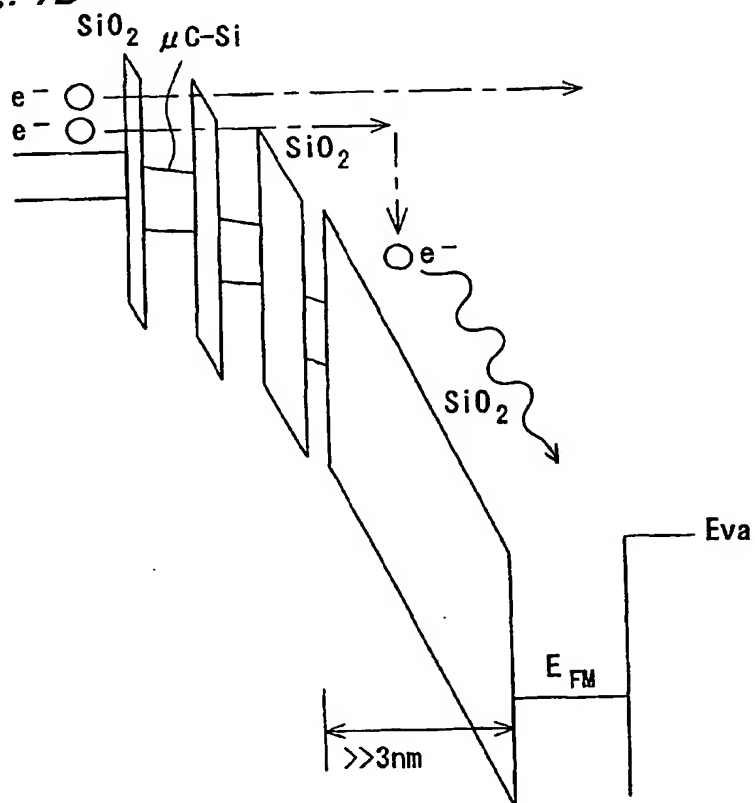




*Fig. 7A*



*Fig. 7B*



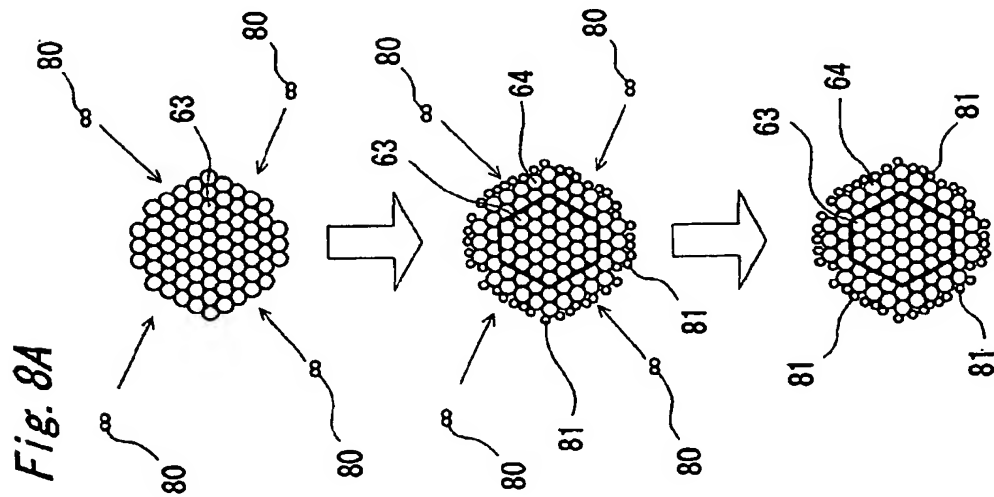
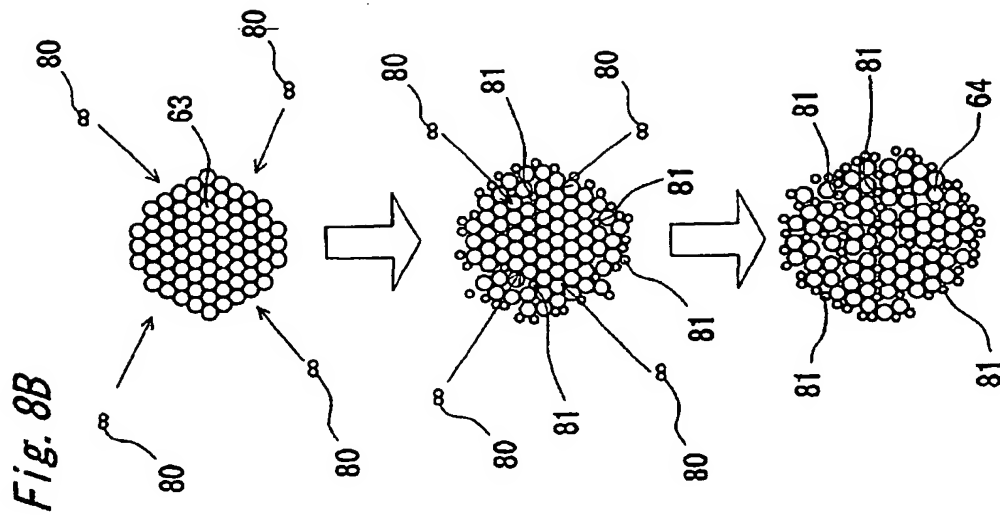


Fig. 9

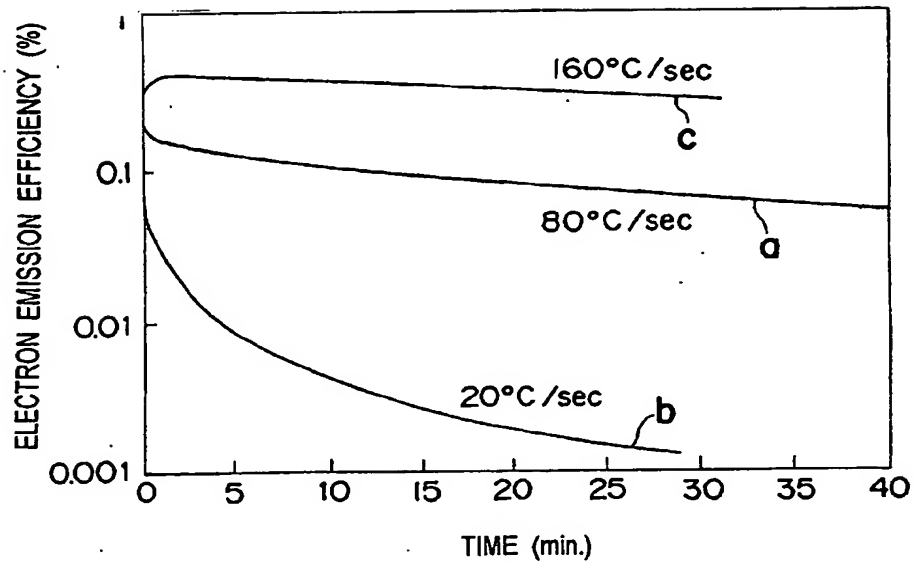


Fig. 10

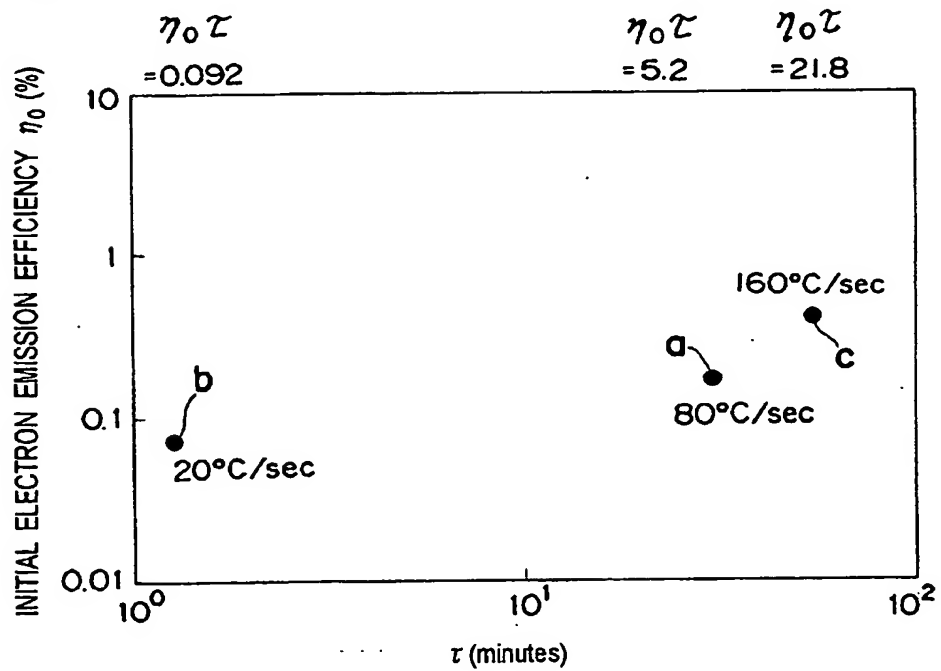


Fig. 11

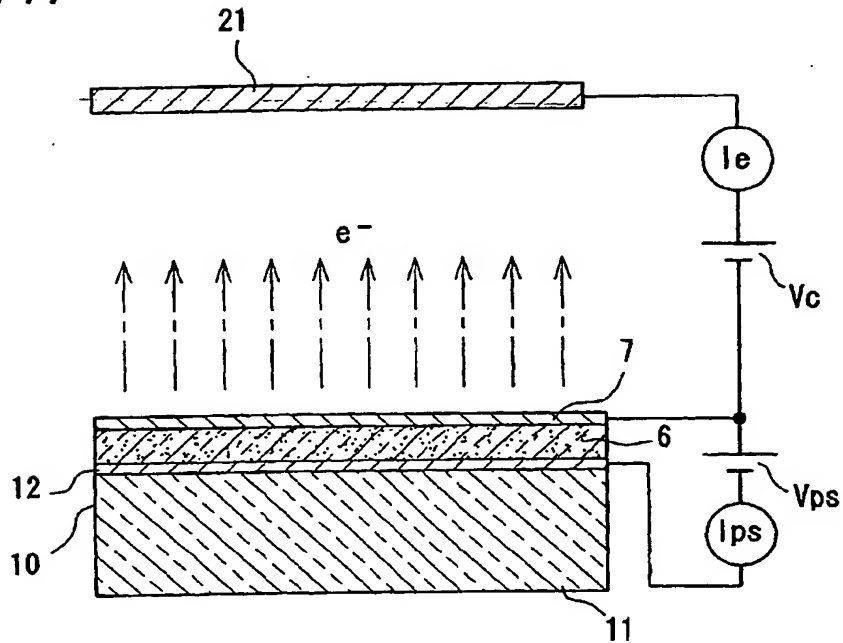
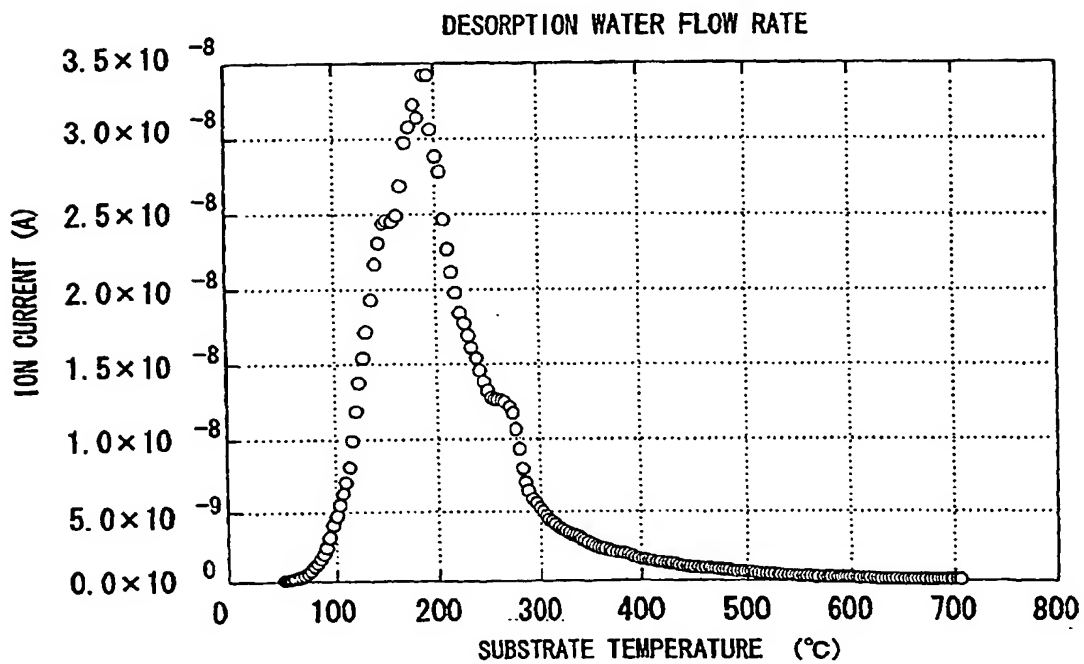
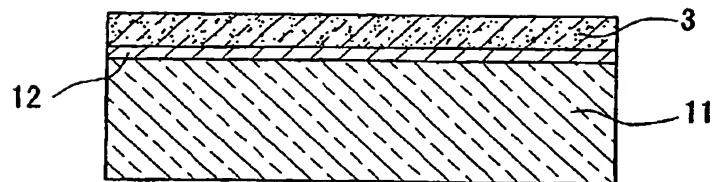


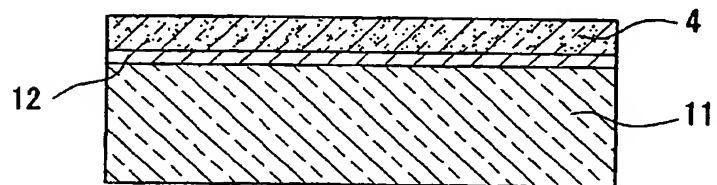
Fig. 18



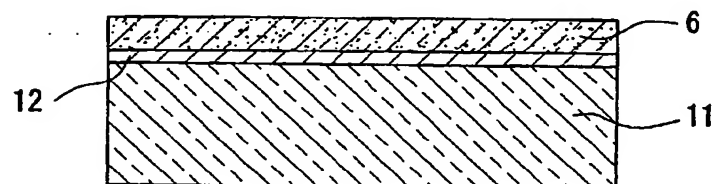
*Fig. 12A*



*Fig. 12B*



*Fig. 12C*



*Fig. 12D*

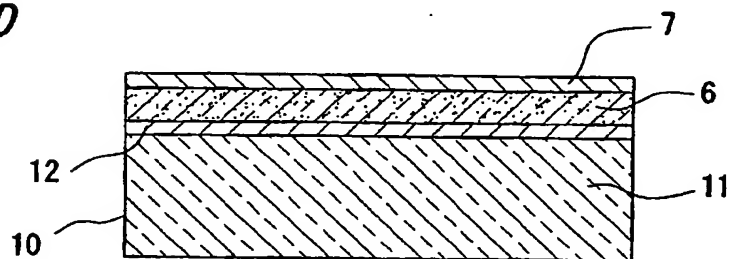


Fig. 13

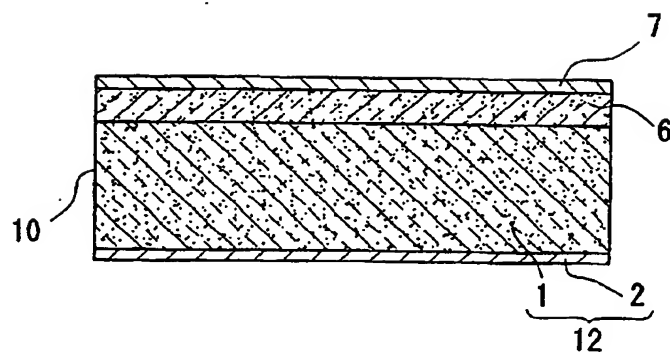
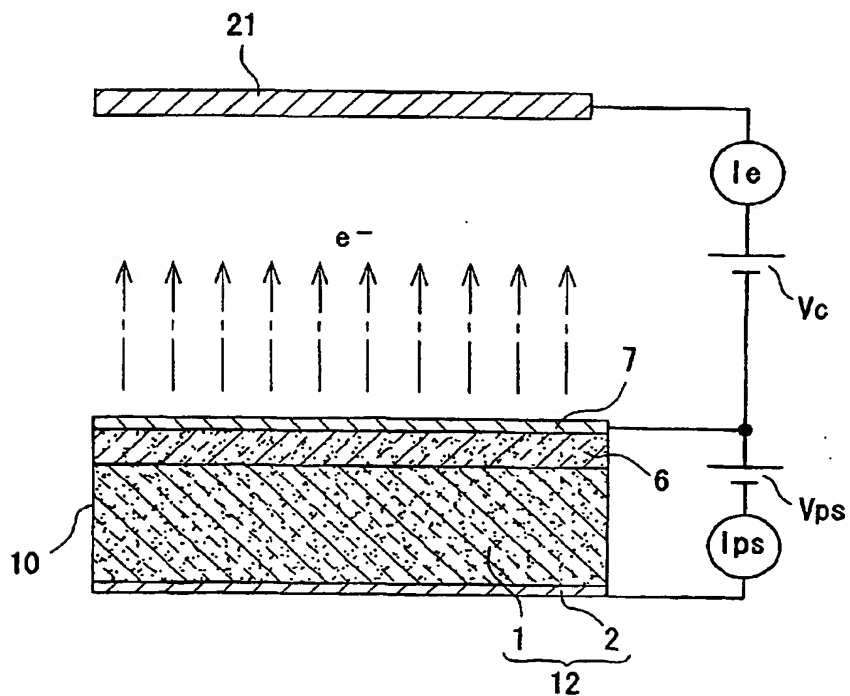
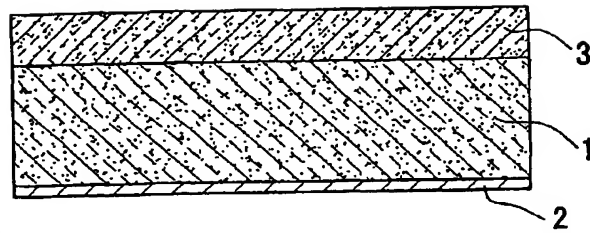


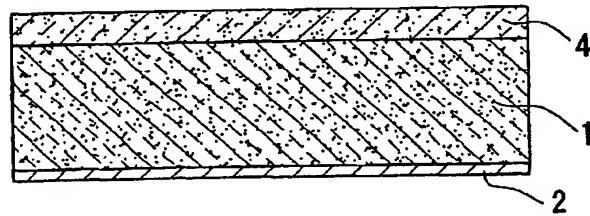
Fig. 14



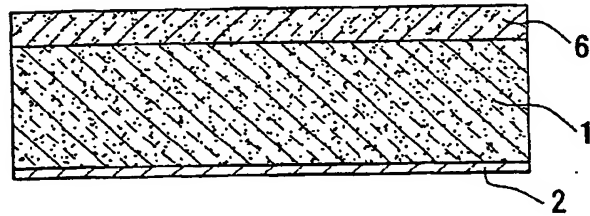
*Fig. 15A*



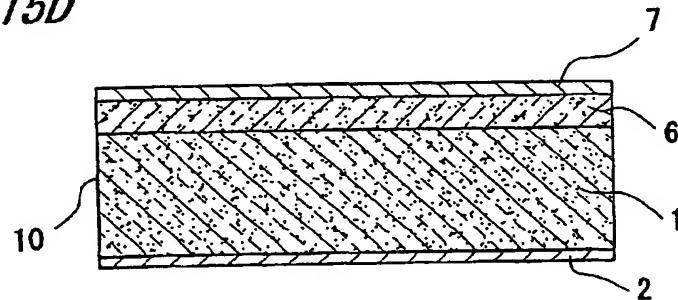
*Fig. 15B*

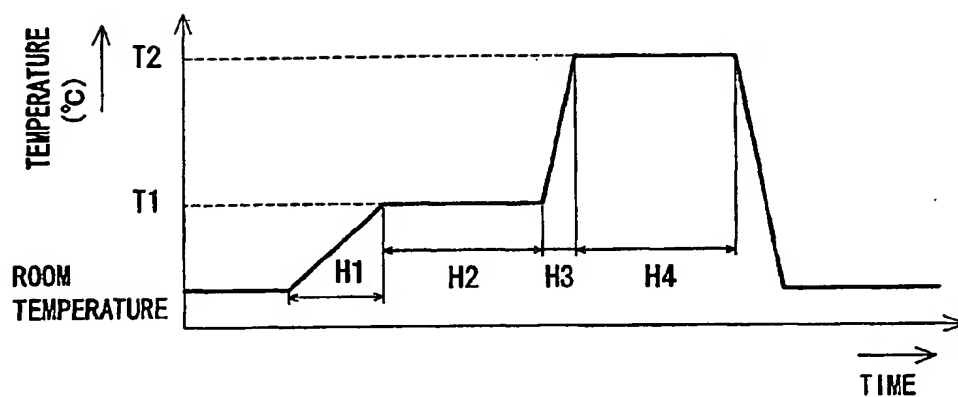
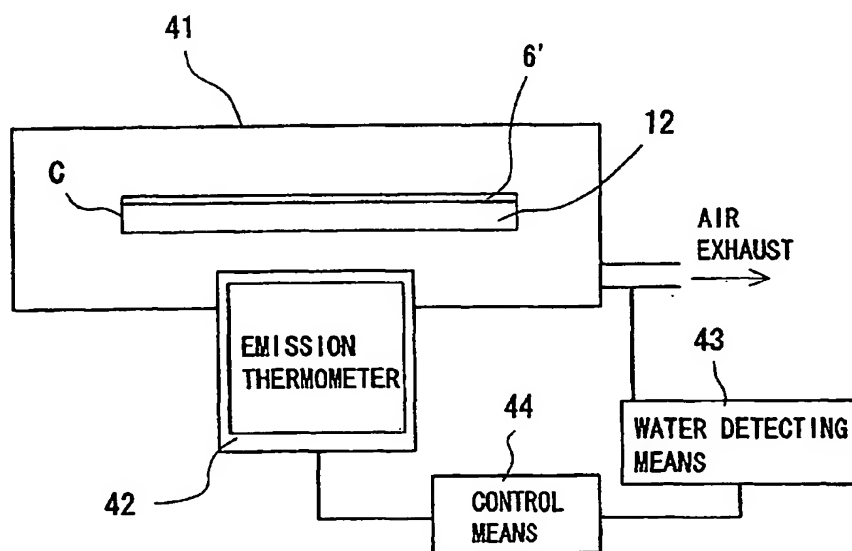


*Fig. 15C*



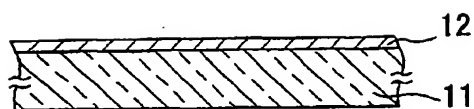
*Fig. 15D*



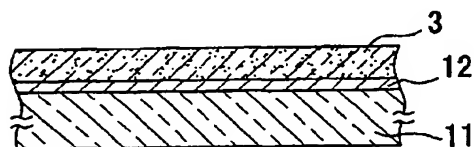
*Fig. 16**Fig. 17*



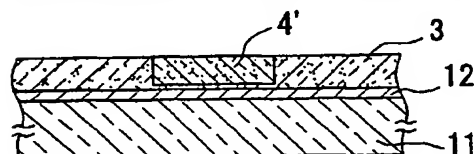
*Fig. 19A*



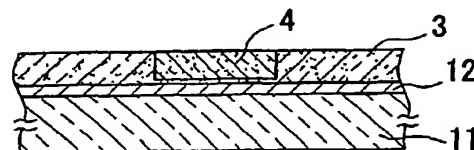
*Fig. 19B*



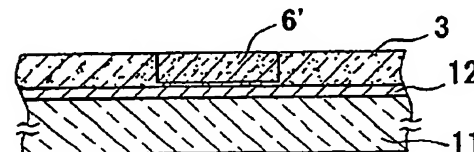
*Fig. 19C*



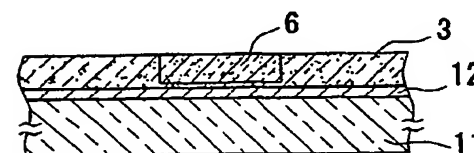
*Fig. 19D*



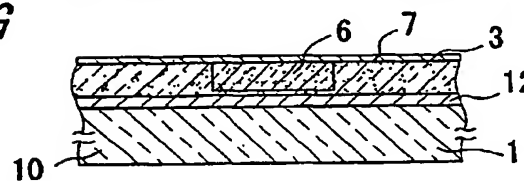
*Fig. 19E*



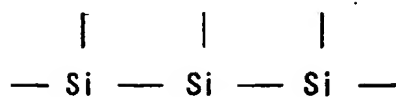
*Fig. 19F*



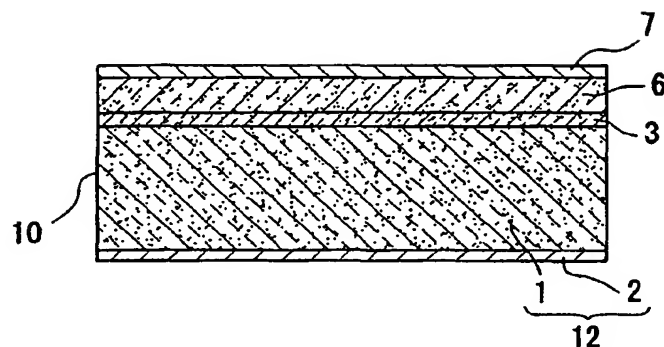
*Fig. 19G*



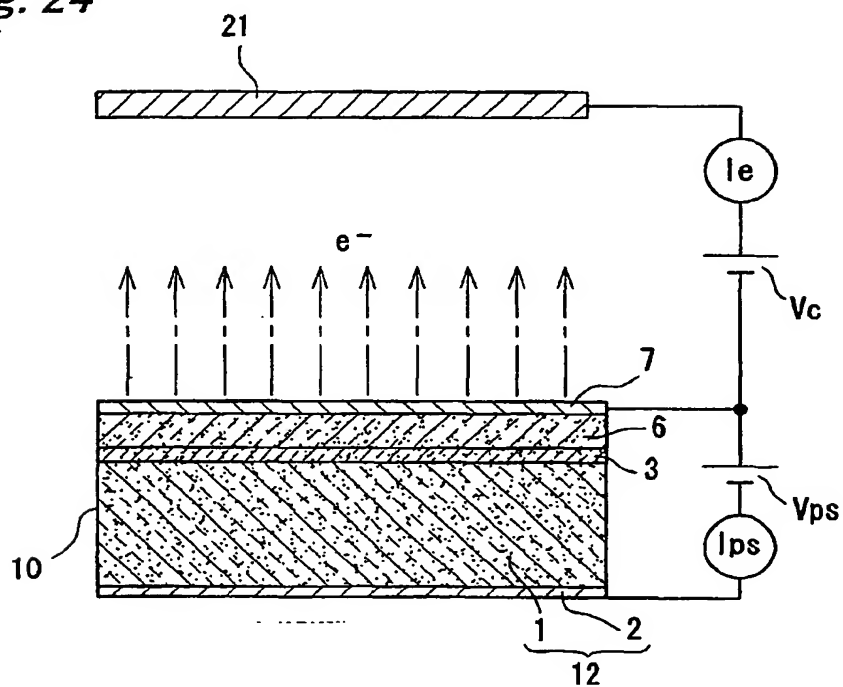
*Fig. 20*



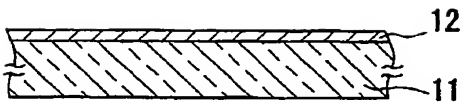
*Fig. 23*



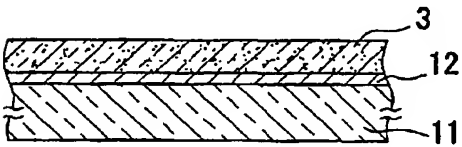
*Fig. 24*



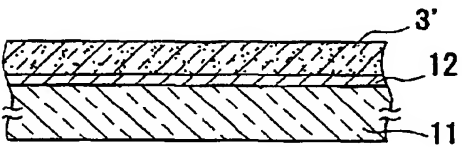
*Fig. 21A*



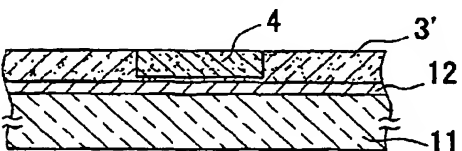
*Fig. 21B*



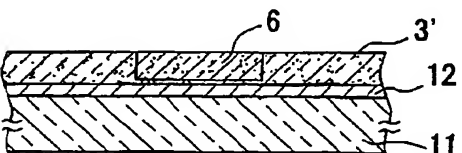
*Fig. 21C*



*Fig. 21D*



*Fig. 21E*



*Fig. 21F*

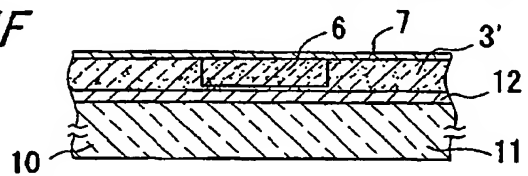


Fig. 22A

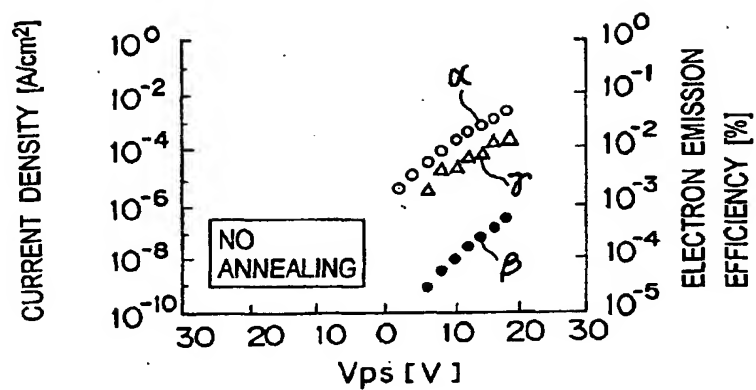


Fig. 22B

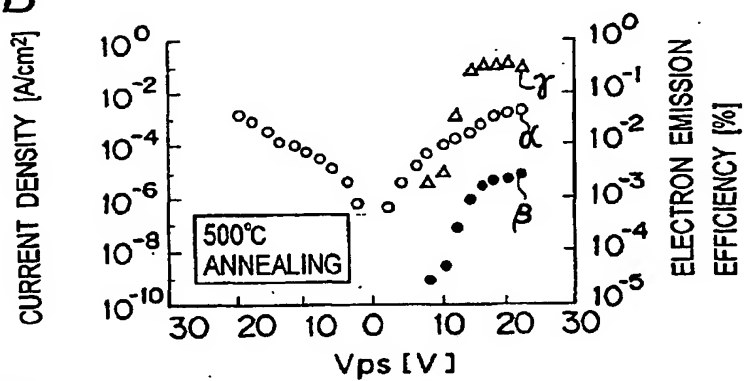
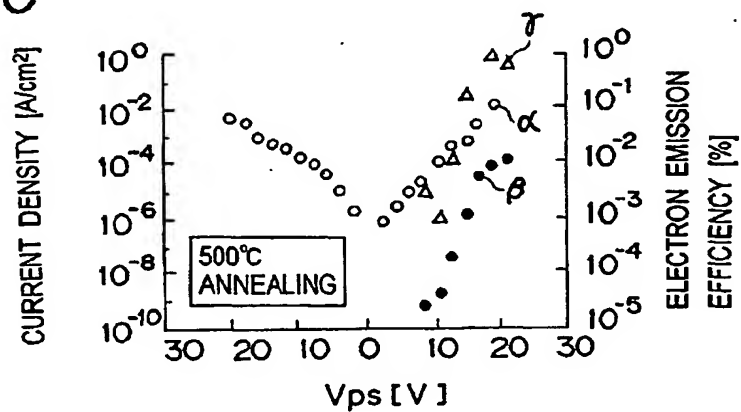
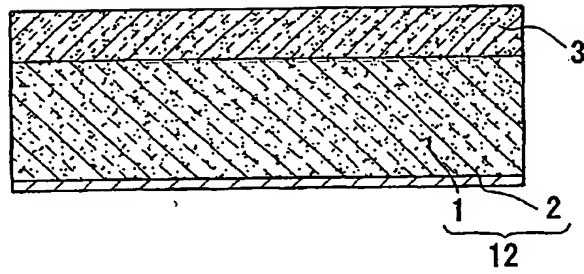


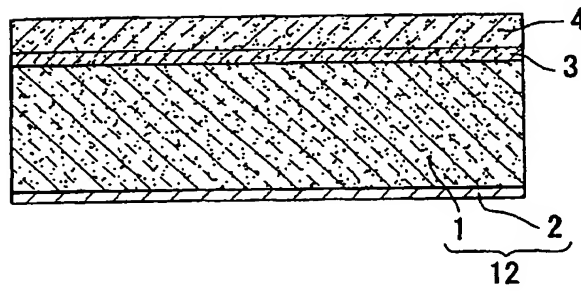
Fig. 22C



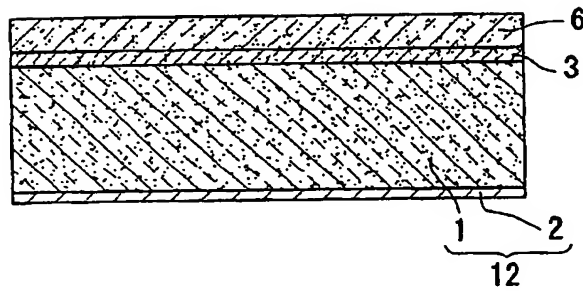
*Fig. 25A*



*Fig. 25B*



*Fig. 25C*



*Fig. 25D*

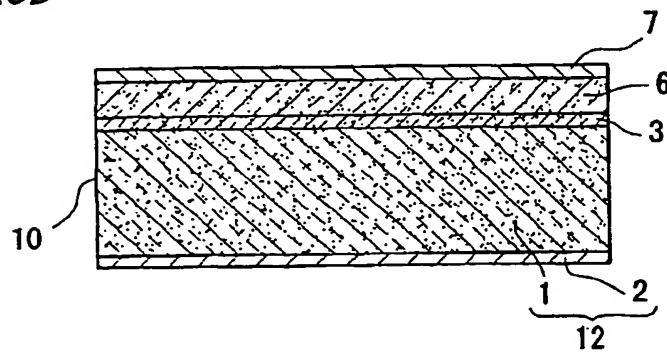


Fig. 26

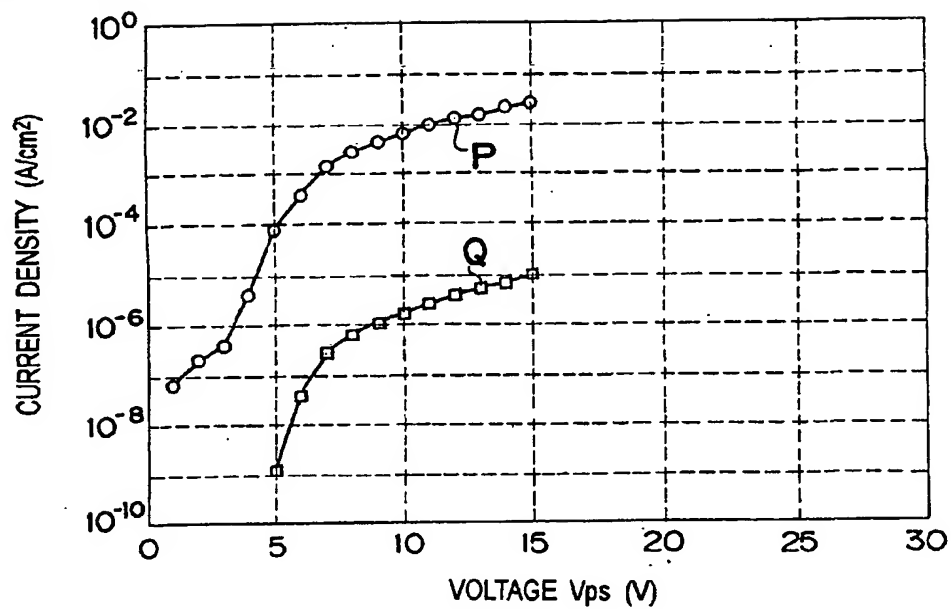


Fig. 27

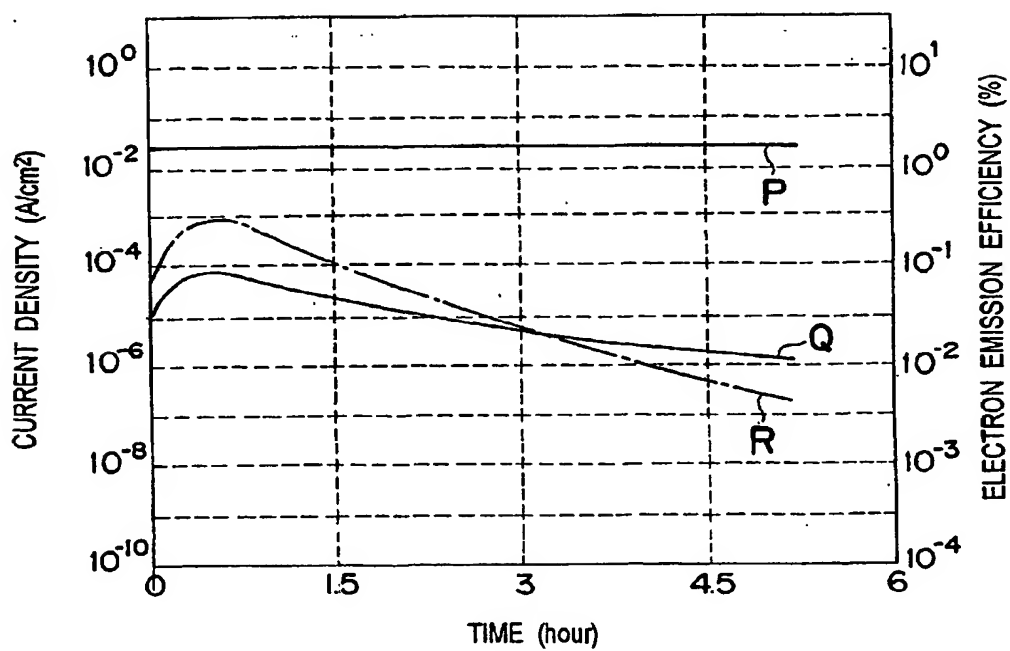


Fig. 28

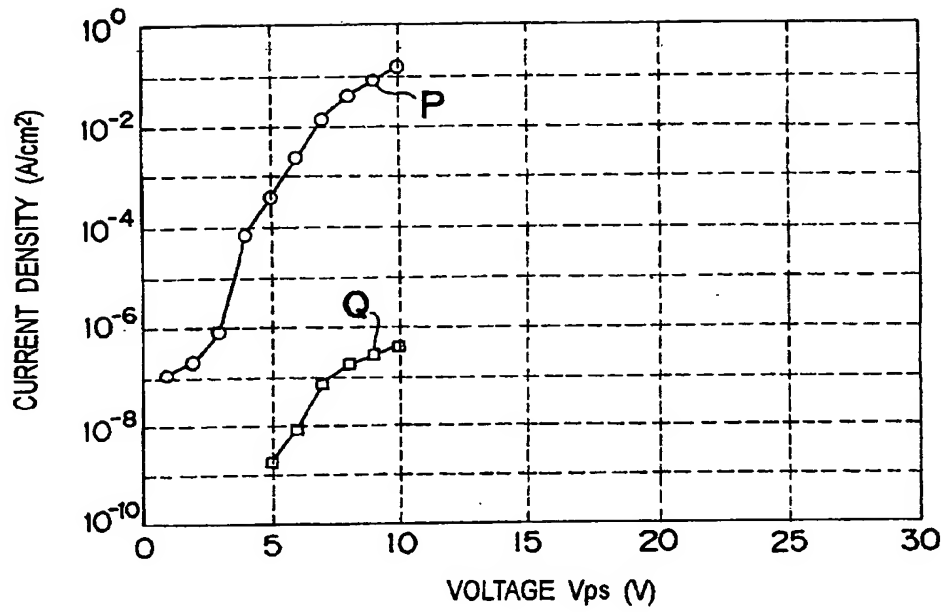


Fig. 29

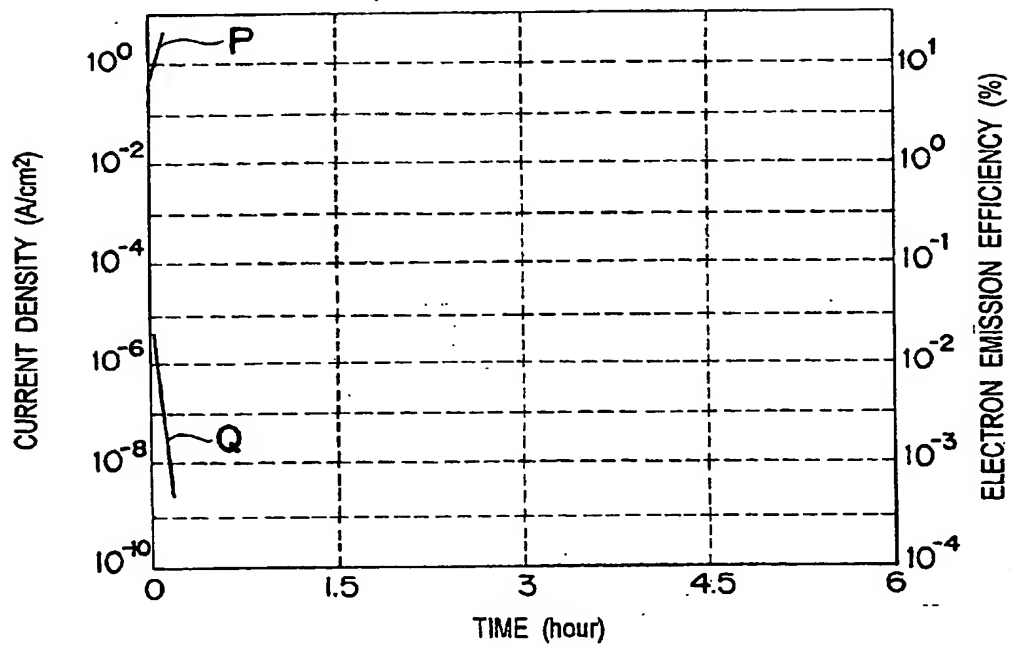


Fig. 30

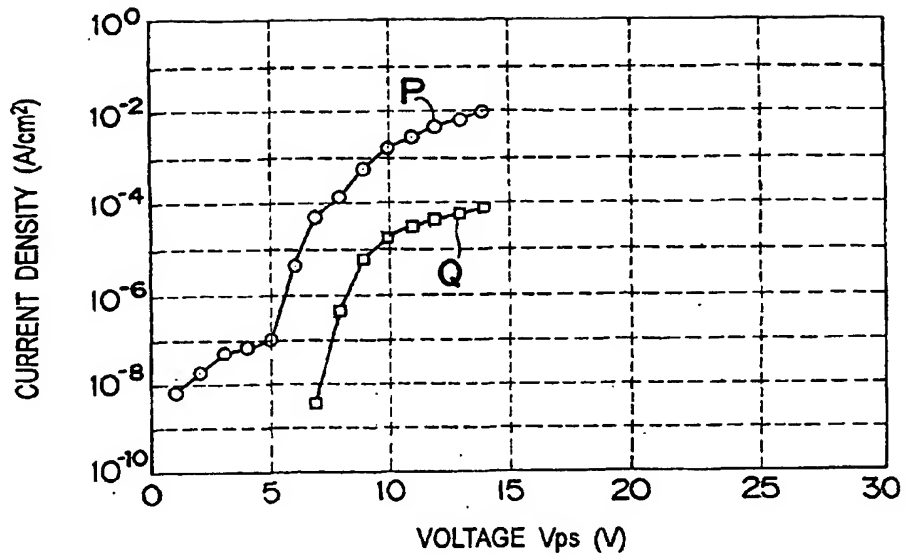


Fig. 31

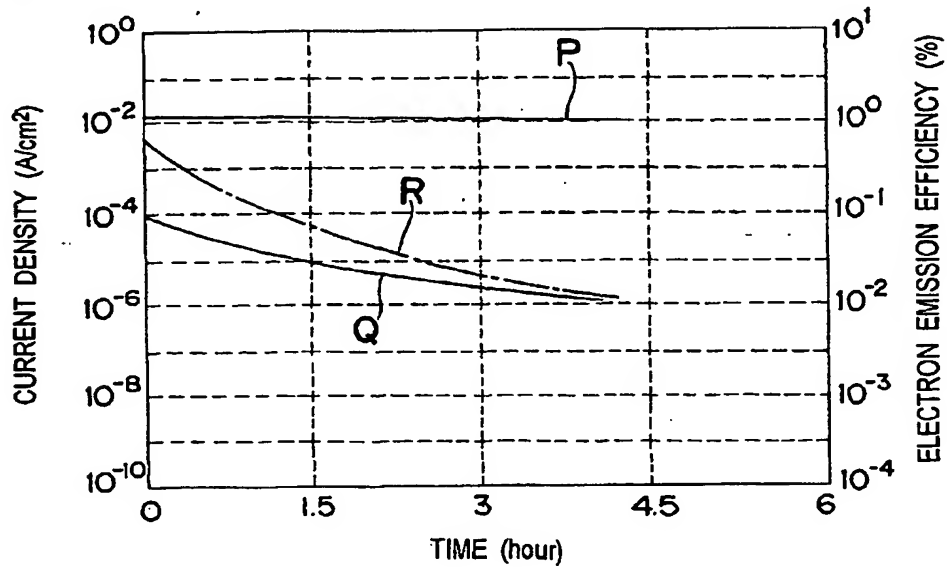




Fig. 32

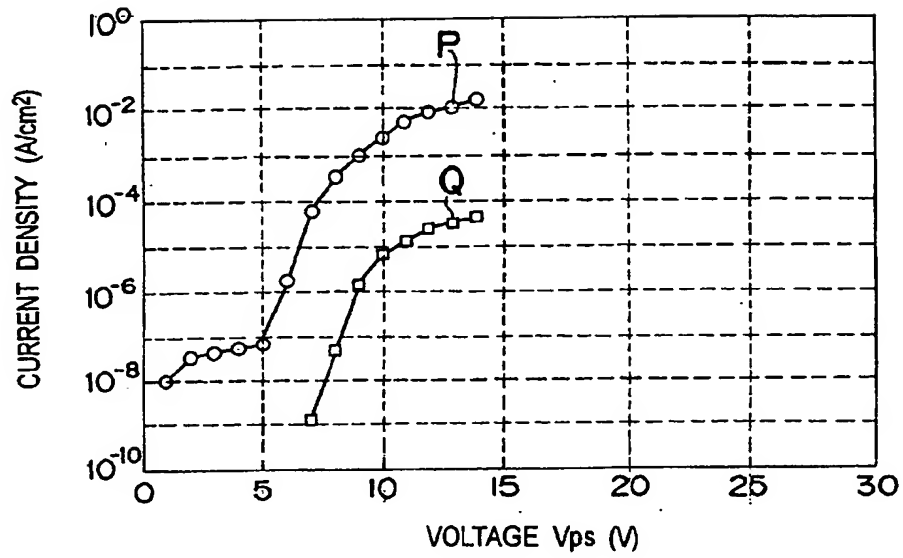


Fig. 33

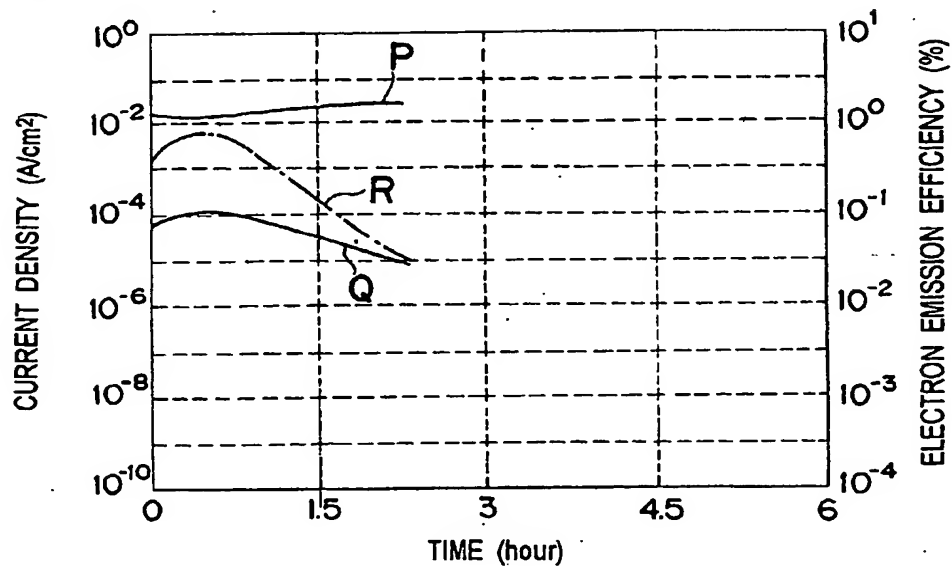


Fig. 34

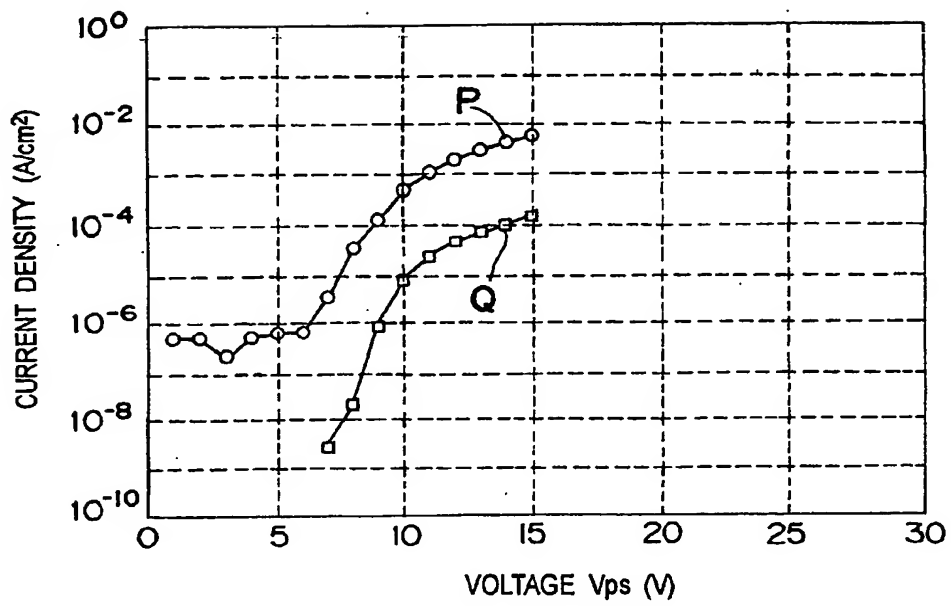
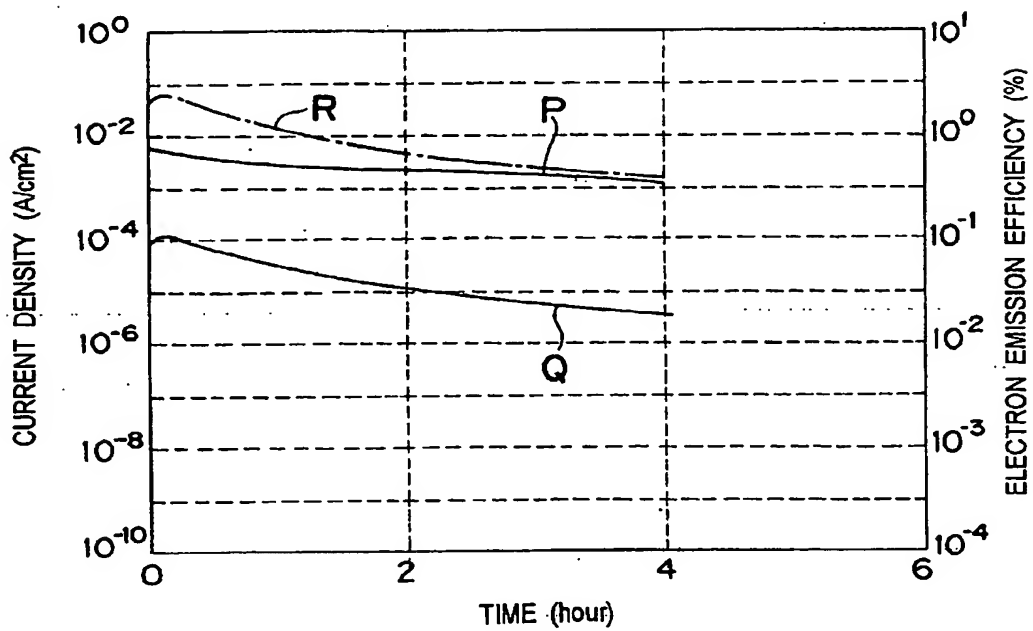
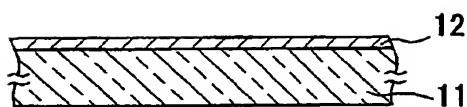


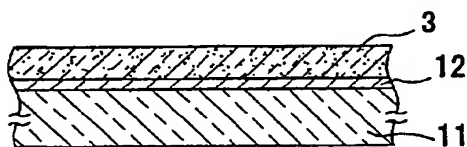
Fig. 35



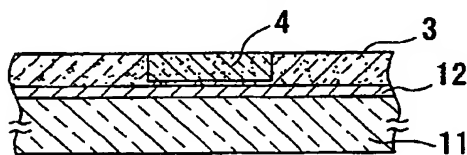
*Fig. 36A*



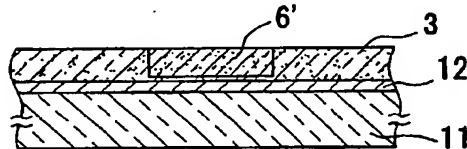
*Fig. 36B*



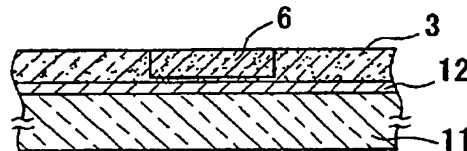
*Fig. 36C*



*Fig. 36D*



*Fig. 36E*



*Fig. 36F*

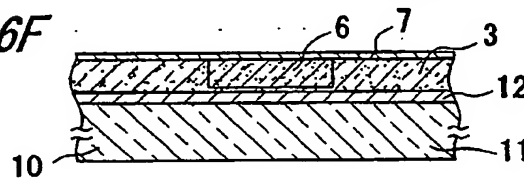


Fig. 37

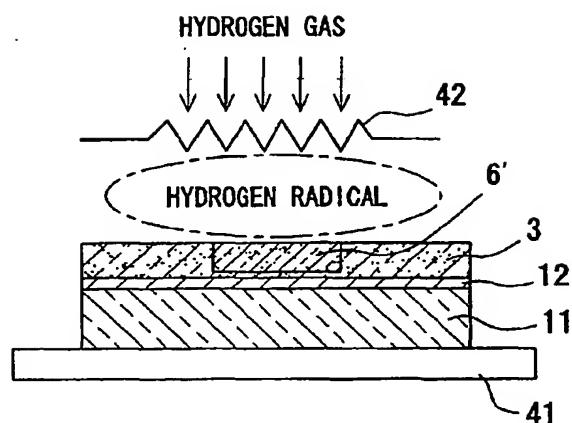


Fig. 38

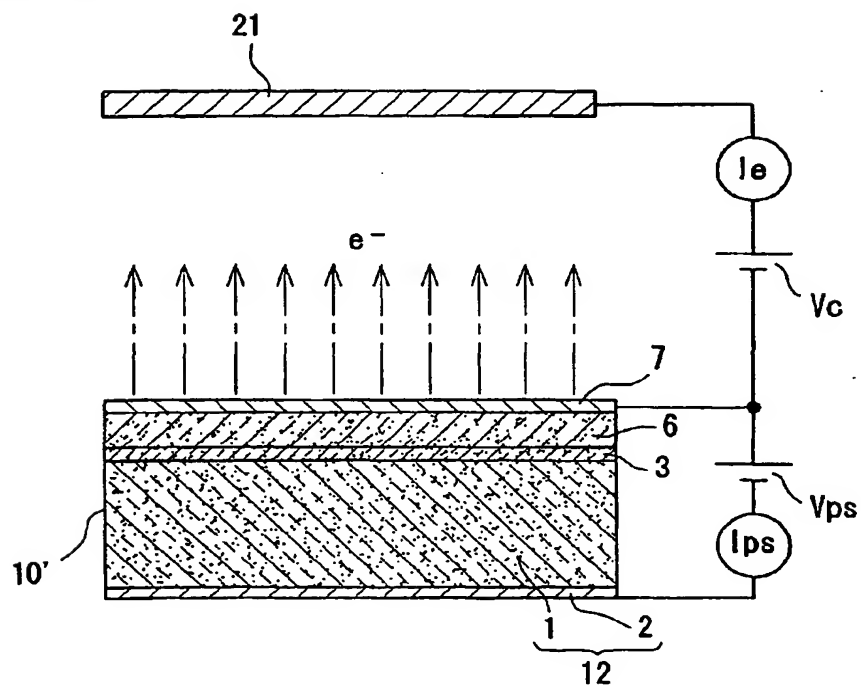


Fig. 39

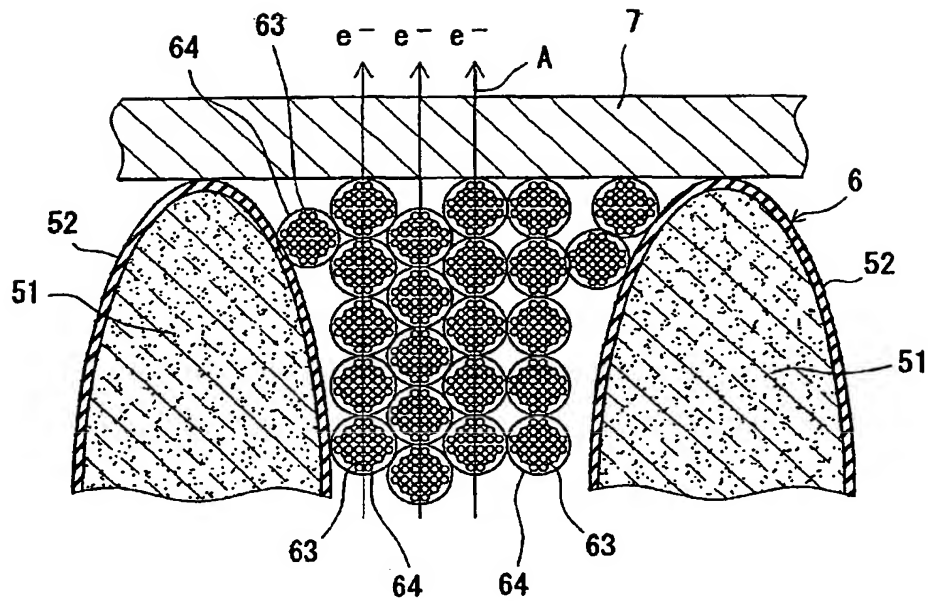
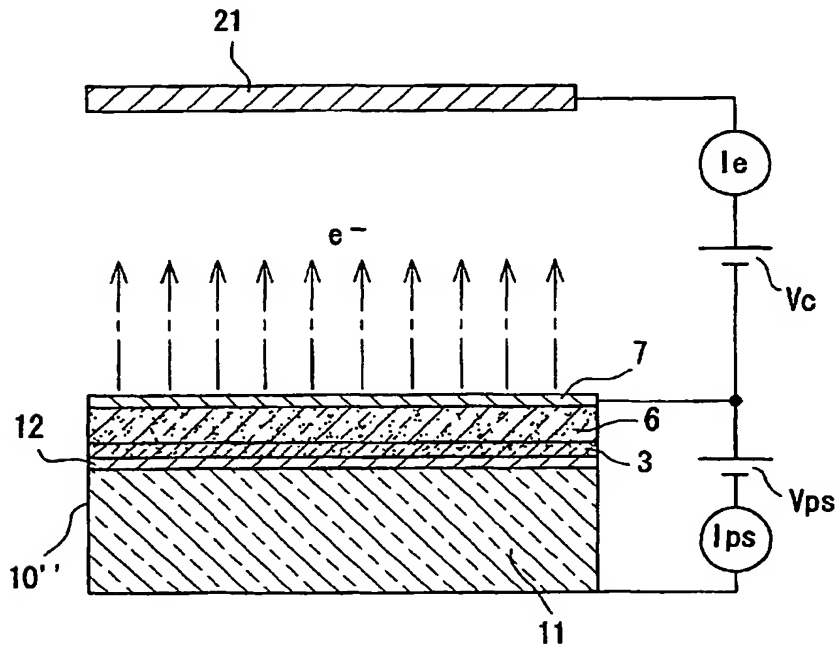
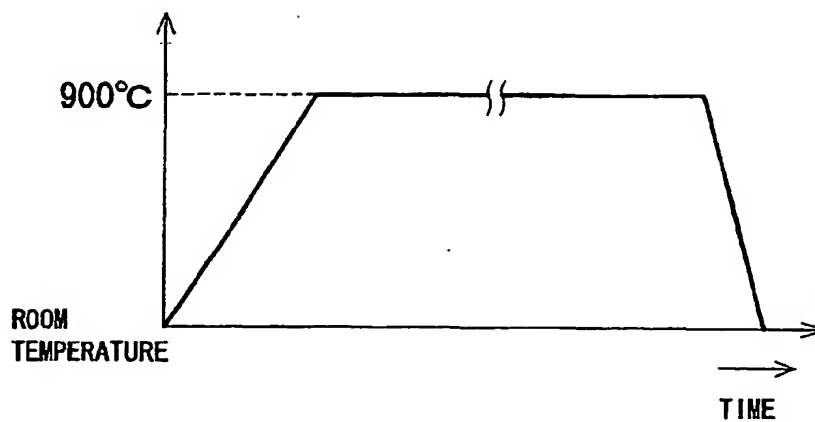


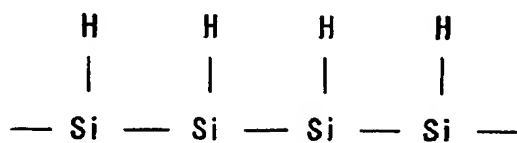
Fig. 40



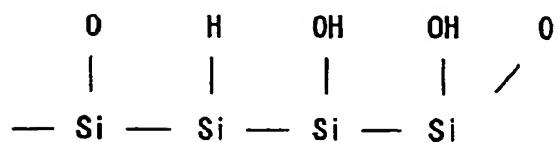
*Fig. 41*



*Fig. 42*



*Fig. 43*



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/04054

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> H01J1/312, H01J9/02

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01J1/312, H01J9/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 989577 A2 (Matsushita Electric Works, Ltd.), 29 March, 2000 (29.03.00), Full text; all drawings	1, 4, 5
Y	Full text; all drawings	2, 12
A	Full text; all drawings & JP 2000-100316 A & KR 2000/23410 A & CN 1249525 A & SG 74751 A	3, 6-11
Y	JP 10-256225 A (Japan Science and Technology Corp.), 25 September, 1998 (25.09.98), Full text; all drawings (Family: none)	2

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

## \* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;"

document member of the same patent family

Date of the actual completion of the international search  
05 August, 2002 (05.08.02)Date of mailing of the international search report  
20 August, 2002 (20.08.02)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

Form PCT/ISA/210 (second sheet) (July 1998)

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/04054

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, A	EP 1094485 A2 (Matsushita Electric Works, Ltd.), 25 April, 2001 (25.04.01), Full text; all drawings & JP 2001-210224 A & JP 2001-283717 A & KR 2001/51104 A & CN 1293441 A	3
Y	JP 2001-6530 A (Matsushita Electric Works, Ltd.), 12 January, 2001 (12.01.01), Full text; all drawings & EP 1047095 A2 & JP 2001-189123 A & JP 2001-189124 A & KR 2001/20773 A & CN 1271958 A & SG 87104 A	12

Form PCT/ISA/210 (continuation of second sheet) (July 1998)